

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2004-517755

(P2004-517755A)

(43) 公表日 平成16年6月17日 (2004.6.17)

(51) Int. Cl.⁷

B 4 1 J 2/16

B 4 1 J 2/05

F I

B 4 1 J 3/04

1 0 3 H

B 4 1 J 3/04

1 0 3 B

テーマコード (参考)

2 C 0 5 7

審査請求 有 予備審査請求 有 (全 50 頁)

(21) 出願番号 特願2002-557783 (P2002-557783)
 (86) (22) 出願日 平成13年10月22日 (2001.10.22)
 (85) 翻訳文提出日 平成15年4月28日 (2003.4.28)
 (86) 国際出願番号 PCT/US2001/047666
 (87) 国際公開番号 W02002/057084
 (87) 国際公開日 平成14年7月25日 (2002.7.25)
 (31) 優先権主張番号 09/698,765
 (32) 優先日 平成12年10月27日 (2000.10.27)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591194034
 レックスマーク・インターナショナル・インコーポレーテッド
 LEXMARK INTERNATIONAL, INC
 アメリカ合衆国 4 0 5 5 0 ケンタッキー、レキシントン、ウェスト・ニュー・サークル・ロード 7 4 0
 (74) 代理人 100076222
 弁理士 大橋 邦彦
 (72) 発明者 パワーズ、ジェームズ、ハロルド
 アメリカ合衆国 4 0 5 1 4 ケンタッキー、レキシントン、リーマ・ウェイ 4 7 7 2

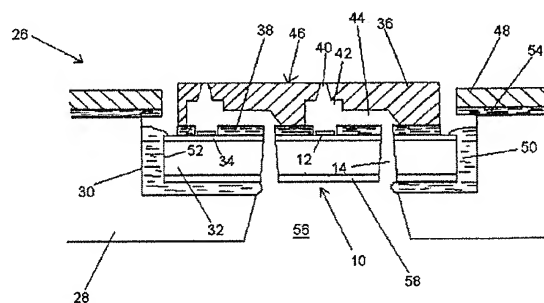
最終頁に続く

(54) 【発明の名称】 改良インクジェット・プリントヘッド及びその製造方法

(57) 【要約】

【課題】

【解決手段】本発明は、インクジェット・プリントヘッド用の半導体シリコン基板チップにインク供給通路を製造する方法と、この方法によって製造されるシリコンチップを備えるインクジェット・プリントヘッドを提供する。この方法は、約300～800ミクロンの範囲の厚さを有するシリコンチップの第1面にエッチング停止層を塗布する段階と、第1面の反対側の面からエッチング停止層まで、シリコンチップの厚さを貫通する個々のインク通路をドライエッチングする段階と、機械的手法を用いてエッチング停止層にインク通路に個々に連通させる貫通孔を形成する段階とを含む。この方法によって、実質的に垂直な壁を有する通路がシリコンチップの厚さを貫通してエッチングされる。従来のインク通路形成技術とは異なり、この方法は、シリコンチップの処理量をかなり改善し、チップの破損と割れによる損失を低減する。得られるチップは、プリントヘッドの長期使用に対して更に高い信頼性を有する。



【特許請求の範囲】

【請求項 1】

インクジェット・プリントヘッド用の半導体シリコン基板チップにインク供給通路を製造する方法であって、

約 300 ～ 約 800 ミクロンの範囲の厚さを有するシリコンチップの第 1 面にエッチング停止層を塗布する段階と、

前記第 1 面の反対側の面から前記エッチング停止層まで、前記シリコンチップの厚さを貫通する 1 つ以上のインク通路をドライエッチングする段階と、

機械的手法によって前記エッチング停止層に 1 つ以上の貫通孔を形成する段階であって、

前記 1 つ以上の貫通孔を対応する前記 1 つ以上のインク通路に個々に連通させるために前記貫通孔の各々が前記 1 つ以上の通路の 1 つに対応するようにした段階と、を含み、

これによって、実質的に垂直な壁を有する通路が前記シリコンチップの厚さを貫通してエッチングされる方法。

【請求項 2】

前記インク通路が約 5 ～ 約 800 ミクロンの範囲の直径幅又は長さを有する、請求項 1 に記載の方法。

【請求項 3】

前記シリコンチップの厚さを基礎として約 1 : 10 ～ 約 1 : 800 の範囲における前記シリコンチップに対する前記エッチング停止層の厚さの比で、前記エッチング停止層が塗布される、請求項 1 に記載の方法。

【請求項 4】

エッチング・プラズマとパッシベーション・プラズマとの間の循環中に前記ドライエッチングが行なわれる、請求項 1 に記載の方法。

【請求項 5】

前記エッチング・プラズマが、六フッ化硫黄 (SF_6)、テトラフルオロメタン (CF_4) 及びトリフルオロアミン (NF_3) から成る群から選択されるガスから誘導されるプラズマを含む、請求項 4 に記載の方法。

【請求項 6】

前記エッチング・プラズマが SF_6 から誘導されるプラズマを含む、請求項 5 に記載の方法。

【請求項 7】

前記パッシベーション・プラズマが、トリフルオロメタン (CHF_3)、テトラフルオロエタン (C_2F_4)、ヘキサフルオロエタン (C_2F_6)、ジフルオロエタン ($\text{C}_2\text{H}_2\text{F}_2$)、オクトフルオロブタン (C_4F_8) 及びこれらの混合物から成る群から選択されるガスから誘導されるプラズマを含む、請求項 4 に記載の方法。

【請求項 8】

前記パッシベーション・プラズマが C_4F_8 から誘導されるプラズマを含む、請求項 7 に記載の方法。

【請求項 9】

前記ドライエッチングが、反応性深絞りイオンエッチング (DRIE) 技術及び誘導結合プラズマ (ICP) エッチング技術から選択される、請求項 1 に記載の方法。

【請求項 10】

前記インク通路の少なくとも一部を互いに連通させるために、前記シリコンチップに前記インク通路をドライエッチングする前に、前記シリコンチップの第 1 面の反対側の面に約 50 ～ 約 300 ミクロンの範囲の深さに溝を化学的にエッチングする段階を更に含む、請求項 1 に記載の方法。

【請求項 11】

前記インク通路の少なくとも一部を互いに連通させるために、前記シリコンチップに前記インク通路をドライエッチングした後に、前記シリコンチップの第 1 面の反対側の面に約 50 ～ 約 300 ミクロンの範囲の深さに溝を化学的にエッチングする段階を更に含む、請

10

20

30

40

50

求項 1 に記載の方法。

【請求項 1 2】

前記化学エッチングが、水酸化カリウム、ヒドラジン、エチレンジアミン・ピロカテコール-H₂O 及びテトラメチルアンモニウムハイドロオキサイドから成る群から選択されるウェット化学エッチング剤を用いて前記シリコンチップを異方的にエッチングすることを含む、請求項 1 0 に記載の方法。

【請求項 1 3】

請求項 1 の方法によって作られたシリコンチップに取付けられたノズルプレートを含む、インクジェット・プリントヘッド。

【請求項 1 4】

請求項 1 2 の方法によって作られたシリコンチップに取付けられたノズルプレートを含む、インクジェット・プリントヘッド。

【請求項 1 5】

インクジェット・プリントヘッド用のシリコンチップであって、
デバイス層及び基板層を含み、
前記デバイス層が約 1 ～約 4 ミクロンの範囲の厚さを有し、
前記基板層が約 3 0 0 ～約 8 0 0 ミクロンの範囲の厚さを有し、
前記デバイス層が複数のヒータ抵抗体を備える露出面を有し、該デバイス層は前記露出面に堆積された導電層、抵抗層、絶縁層及び保護層によって画成され、
当該シリコンチップが、前記 1 つ以上のヒータ抵抗体に対応する少なくとも 1 つのインク供給通路を備え、
前記少なくとも 1 つのインク供給通路が、前記基板層を貫通するドライエッチングによって形成され、かつ、機械的手段によって前記デバイス層に開口され各通路に対応する少なくとも 1 つの貫通孔を有し、該少なくとも 1 つの貫通孔が対応する前記少なくとも 1 つの前記インク供給通路に個々に連通する、シリコンチップ。

【請求項 1 6】

前記デバイス層の反対側の前記基板層に設けられた保護層を更に含む、請求項 1 5 に記載のシリコンチップ。

【請求項 1 7】

前記保護層が約 1 ～約 3 0 ミクロンの範囲の厚さを有する、請求項 1 6 に記載のシリコンチップ。

【請求項 1 8】

前記保護層の厚さを貫通して化学的にエッチングされ、かつ、前記基板層の厚さの一部が化学的にエッチングされたインク供給通路溝であって、前記 1 つ以上のインク供給通路の少なくとも一部の間でのインクの連通を提供するインク供給通路溝を更に含む、請求項 1 6 に記載のシリコンチップ。

【請求項 1 9】

前記溝が約 5 0 ～約 3 0 0 ミクロンの範囲の深さを有する、請求項 1 8 に記載のシリコンチップ。

【請求項 2 0】

前記基板層の厚さの一部が化学的にエッチングされたインク供給通路溝であって、前記インク供給通路の少なくとも一部の間でのインクの連通を提供するインク供給通路溝を更に含む、請求項 1 5 に記載のシリコンチップ。

【請求項 2 1】

前記溝が約 5 0 ～約 3 0 0 ミクロンの範囲の深さを有する、請求項 2 0 に記載のシリコンチップ。

【請求項 2 2】

2 個、3 個又は 4 個のヒータ抵抗体に対応する少なくとも 1 つの通路を前記チップが含む、請求項 1 5 に記載のシリコンチップ。

【請求項 2 3】

10

20

30

40

50

チップの全ヒータ抵抗体にインクを供給する長いインク通路を前記チップが備える、請求項 15 に記載のシリコンチップ。

【請求項 24】

請求項 21 のシリコンチップに取付けられたノズルプレートを含むインクジェット・プリントヘッド

【請求項 25】

インクジェット・プリントヘッド用の半導体シリコン基板チップにインク供給通路を製造する方法であって、

約 300 ～ 約 800 ミクロンの範囲の厚さを有するシリコンチップの第 1 面にフォトレジスト層を塗布し、

前記シリコンチップを貫通した 1 つ以上のインク供給通路の位置を画成するために、フォトマスクで前記フォトレジスト層をパターン化し、

前記 1 つ以上のインク供給通路の位置において、前記シリコンチップの厚さを貫通する 1 つ以上のインク通路をドライエッチングし、

これによって、実質的に垂直な壁を有する通路が前記シリコンチップの厚さを貫通してエッチングされる方法。

【請求項 26】

多数のインク通路が前記シリコンチップを貫通してエッチングされ、かつ、前記インク通路が約 10 ～ 約 200 ミクロンの範囲の直径を有する、請求項 25 に記載の方法。

【請求項 27】

エッチング・プラズマとパッシベーション・プラズマとの間の循環中に前記ドライエッチングが行なわれる、請求項 25 に記載の方法。

【請求項 28】

前記エッチング・プラズマが SF_6 から誘導されるプラズマを含む、請求項 27 に記載の方法。

【請求項 29】

前記パッシベーション・プラズマが、 C_4F_8 から誘導されるプラズマを含む、請求項 27 に記載の方法。

【請求項 30】

前記ドライエッチングが、反応性深絞りイオンエッチング (DRIE) 技術及び誘導結合プラズマ (ICP) エッチング技術から選択される、請求項 25 に記載の方法。

【請求項 31】

前記 1 つ以上のインク通路の少なくとも一部を互いに連通させるために、前記シリコンチップに前記 1 つ以上のインク通路をドライエッチングする前に、前記シリコンチップの第 1 面の反対側の面に約 50 ～ 約 300 ミクロンの範囲の深さに溝を化学的にエッチングすることを更に含む、請求項 25 に記載の方法。

【請求項 32】

前記化学エッチングが、水酸化カリウム、ヒドラジン、エチレンジアミン・ピロカテコール・ H_2O 及びテトラメチルアンモニウムハイドロオキシドから成る群から選択される化学エッチング剤を用いて前記シリコンチップを異方的にエッチングすることを含む、請求項 31 に記載の方法。

【請求項 33】

前記チップが長いインク通路を備える、請求項 25 に記載の方法。

【請求項 34】

請求項 25 の方法によって作られるシリコンチップに取付けられたノズルプレートを含むインクジェット・プリントヘッド。

【発明の詳細な説明】

【0001】

発明の分野

本発明はインクジェット・プリンタ用のプリントヘッドに関し、より特定的には、改良プ

10

20

30

40

50

リントヘッド構造体とその製造方法に関する。

【0002】

背景

プリントヘッドの製造技術が進歩し続けると、インクジェット・プリンタは改良され続ける。レーザプリンタの速度と品質に近づく低コストで高信頼性のプリンタを提供すべく、新たな技術が絶えず開発されている。インクジェット・プリンタに加えられた利点は、良好な品質又はレーザプリンタよりも良好な品質をもって、レーザプリンタのコストの一部でカラー画像が形成されることである。インクジェット・プリンタによって示される上述の利点の全ては、競争者よりもコスト効率が良い方法で同等のプリンタを提供すべく、供給者の競争を増加させてきた。

10

【0003】

プリンタ改良の一つの分野は、印刷エンジン又はプリントヘッドそれ自体である。この外観上において簡単な装置は、効果的で更に多用途のプリンタ構成部品を提供するために、電気回路と、インク通路と、正確に組立てられる様々な小さな部品とを備える驚くべき微視的なものである。したがって、プリントヘッドの構成部品をインク及びプリンタによって要求される使用サイクルに適合させることが重要である。生産品質における僅かな変化が、製品の歩留まり及び得られる印刷性能に対して強大な影響を有する。

【0004】

インクジェット・プリントヘッドは、半導体チップと、このチップに取付けられたノズルプレートとを備える。半導体チップは、典型的にはシリコンから作られ、そのデバイス面に堆積された様々なパッシベーション層、導電性金属層、抵抗層、絶縁層及び保護層を含む。個々のヒータ抵抗体は抵抗層中に画成され、各ヒータ抵抗体はインクを加熱し印刷媒体に向けてインクを噴射するノズルプレート中の1つのノズル孔に対応する。プリントヘッドの1つの形態では、ノズルプレートは、半導体チップ10の各ヒータ抵抗体にインクを向かわせるインクチャンバとインク供給チャネルとを備える。中心供給の設計では、化学エッチング又はグリットブラスト仕上げによって半導体チップの厚さを貫通して従来のように形成される1つのスロット又は単一のインク通路から、インクチャネル及びインクチャンバにインクが供給される。

20

【0005】

インク通路を形成するために半導体チップをグリットブラスト仕上げすることは、この技術によってチップが作られる速度のために好ましい技術である。しかしながら、グリットブラスト仕上げでは製品が脆くなり、シリコン基板中に微視的な割れ又は亀裂をしばしば発生させ、これらは最終的にチップの破損及び／又は故障を招く。さらに、グリットブラスト仕上げは、シリコン基板中に実質的により小さな孔又は高解像度のプリントヘッドに求められる寸法パラメータを有する孔を形成する、経済的に実行可能な製造基準に適合しない。グリットブラスト仕上げの他の不利な点は、ブラスト仕上げプロセス中に汚染源の可能性となる砂及び破片が生成されること、ならびに、粒子がチップ上の電氣的構成要素に衝突して電氣的故障を引き起こすことである。

30

【0006】

ウェット化学エッチング技術はグリットブラスト技術よりも、比較的薄い半導体チップのエッチングにおいて良好な寸法制御を提供する。しかしながら、ウエハの厚さが200ミクロンに近づくと、許容度の困難性がかなり増加する。ウェット化学エッチングでは、フォトリソグラフィのマスクング・プロセスによって通路の寸法が制御される。マスクの位置合わせによって、所望の寸法許容度が与えられる。得られるインク通路は、割れ又は亀裂のない滑らかな縁部を有する。したがって、得られるチップは、グリットブラスト・プロセスによって製造されるチップよりも脆くない。しかしながら、ウェット化学エッチングはシリコンチップの厚さと、エッチング速度及びエッチング許容度に対して変化するエッチング剤濃度とに大きく依存する。ウェット化学エッチングで得られるエッチング・パターンは、少なくともウエハの厚さと同様に幅についてのものである。ウェット化学エッチングはまたシリコン結晶の配向に依存し、結晶格子の向きに対して正しく配列していな

40

50

いと寸法許容度に大きな影響を与える。マスクの位置合わせにおける誤差、ならびに、結晶格子の位置合わせにおける誤差は、受容される製品許容度における全体誤差を招く結果となる。KOHと(100)シリコンを用いる場合、入口幅は出口幅に基板厚さの2倍の平方根を加えたものに等しいので、ウェット化学エッチングは、比較的厚いシリコン基板に対しては実用的でない。さらに、格子の配向に関しては幾らかの位置合わせ誤差が常に存在し、この誤差が比較的大きな出口孔許容度を招くので、ウェット化学エッチングに対して求められる許容度は、小さな孔又は近接して離間する孔に対してしばしば大き過ぎるものとなる。

【0007】

印刷の品質及び速度が進歩する際には、シリコンチップ上において更に近接して離間するようにヒータ抵抗体の数を増加させる必要性が挙げられる。ヒータ抵抗体間の距離を狭くするには、個々のヒータ抵抗体に対する更に信頼性の高いインク供給技術が求められる。プリントヘッドの複雑性が増え続けると、更に要求される製造許容度を満たしつつ高歩留まりで生産可能な長寿命のプリントヘッドが必要となる。このように、改良プリントヘッドの構成要素を提供する改良製造プロセスと製造技術に対する必要性は存在し続ける。

【0008】

発明の概要

上記及び他の目的に関し、本発明は、インクジェット・プリントヘッド用の半導体シリコンチップにインク供給通路を製造する方法を提供するものである。この方法は、約300～約800ミクロンの範囲の厚さを有するシリコンチップの第1面にエッチング停止層を塗布する段階と、第1面の反対側の面からエッチング停止層まで、シリコンチップの厚さを貫通する1つ以上のインク通路をドライエッチングし、機械的手法によってエッチング停止層に1つ以上の貫通孔を形成する段階であって、1つ以上の貫通孔を対応するインク通路に連通させるために貫通孔の各々が1つ以上の通路の1つに対応するようにした段階とを含む。この方法を用いて、実質的に垂直な壁を有する通路が、シリコンチップの厚さを貫通してエッチングされる。

【0009】

他の特徴において、本発明は、インクジェット・プリントヘッド用のシリコンチップを提供するものである。このシリコンチップは、デバイス層及び基板層を含み、デバイス層は約1～約4ミクロンの範囲の厚さを有し、基板層は約300～約800ミクロンの範囲の厚さを有する。デバイス層は複数のヒータ抵抗体を備える露出面を有し、その露出面に堆積された導電層、抵抗層、絶縁層及び保護層によって画成される。シリコンチップはまた、1つ以上のヒータ抵抗体に対応する少なくとも1つのインク供給通路を備え、インク供給通路は基板層を貫通するドライエッチングによって形成され、かつ、機械的手段によって開口され各通路に対応する少なくとも1つの貫通孔をデバイス中に有し、少なくとも1つの貫通孔が対応するインク供給通路に個々に連通する。

【0010】

本発明の利点は、要求許容度を満たし、かつ、1つ以上のヒータ抵抗体に改良されたインク流を提供する1つ以上のインク通路孔が半導体シリコンチップに形成されることである。グリットブラスト技術とは異なり、半導体チップ中に不必要な応力又は微視的な割れを発生させることなくインク通路が形成される。グリットブラスト仕上げに対する許容度が非常に大き過ぎるので、グリットブラスト仕上げは比較的狭いインク通路を形成するのに容易に適合するものではなく、又は、各通路が一度に開けられなければならないので、グリットブラスト仕上げは半導体チップ内に多数の個々の通路を形成するのに容易に適合するものではない。ここでは“ドライエッチング”と言う反応性深絞りイオンエッチング(DRIE)及び誘導結合プラズマ(ICP)エッチングも、エッチング速度がシリコンの厚さ又は結晶の配向に依存しないので、ウェット化学エッチング技術として利点を有する。ドライエッチング技術は、従来のウェット化学エッチング・プロセス及びグリットブラスト・プロセスで製造されるインク通路に比べて対応するヒータ抵抗体に対してより狭い間隔で配置される多数のインク通路の製造に適合する。

10

20

30

40

50

【 0 0 1 1 】

本発明の更なる利点は、実物大ではない図面であって幾つかの図面を通して同様の参照数字は同様の要素を示す図面との結合を考慮して、詳細な説明を参照することによって明らかになるであろう。

【 0 0 1 2 】

発明の詳細な説明

図 1 を参照するに、本発明は、複数のヒータ抵抗体 1 2 と、1 つ以上のヒータ抵抗体 1 2 に対応する複数のインク供給通路 1 4 とを備えるデバイス側を有する半導体シリコンチップ 1 0 を提供するものである。半導体チップ 1 0 は大きさが比較的小さく、典型的には、約 2 ～約 1 0 ミリメートルの幅で約 1 0 ～約 3 6 ミリメートルの長さの範囲の全体的な大きさを有する。グリットブラスト仕上げされたスロットタイプのインク通路をチップ 1 0 中に備える従来の半導体チップにおいては、インク通路スロットは約 9 . 7 ミリメートルの長さで 0 . 3 9 ミリメートルの幅の大きさを有する。したがって、チップ 1 0 は、製造許容度を考慮しつつ比較的幅の広いインク通路を収容するのに十分な幅と、ヒータ抵抗体とコネクタのための十分な表面積とを有する必要がある。本発明に従って製造されるチップでは、インク通路の孔 1 4 は、約 5 ミクロン～約 2 0 0 ミクロンの範囲の直径又は長さ及び幅を有し、これによって、インク通路、ヒータ抵抗体及び接続回路に必要なチップ表面積を実質的に低減する。チップ 1 0 の大きさを低減することによって、単一のシリコンウエハから得られるチップ 1 0 の数を実質的に増加させることができる。したがって、本発明は、従来技術によって製造されるスロットタイプのインク通路を備えるチップにおいて、コスト削減の実質的な増加を提供するものである。

【 0 0 1 3 】

インク供給通路 1 4 は、半導体基板 1 0 の厚さ全体にわたってエッチングされ、インク供給容器、インクカートリッジ又遠隔インク供給体から供給されるインクと連通する。図 1 の平面図に見られるように、シリコンチップ 1 0 のデバイス側の反対側に位置するインク供給容器から、チップ 1 0 を通ってチップのデバイス側に、インク通路 1 4 によってインクが向けられる。チップ 1 0 のデバイス側はまた、好ましくは、1 つ以上のヒータ抵抗体を動作させるためにプリンタ・コントローラからの電氣的インパルスを与えるフレキシブル回路又は T A B 回路にチップを接続するのに用いる接触パッドへと、ヒータ抵抗体から延びる電氣的トレーシングを備える。

【 0 0 1 4 】

図 1 において、単一のインク通路 1 4 が 1 つのヒータ抵抗体 1 2 と対応関係にある。したがって、チップ 1 0 上にはヒータ抵抗体 1 2 と同数のインク通路 1 4 が存在する。インク通路 1 4 とヒータ抵抗体 1 2 との別の配置が、図 1 A に示される。この例では、インク通路 1 6 は図 1 のインク通路 1 4 よりも実質的に大きい。図 1 A におけるチップ 1 8 の各インク通路 1 6 は、2 つ以上のヒータ抵抗体 1 2 と対応関係にある。例えば、インク通路 2 0 はヒータ抵抗体 2 2 及び 2 4 と対応関係にある。更に他の実施態様では、隣接する 4 つ以上のヒータ抵抗体に対して 1 つのインク通路 1 4 でインクを供給する。

【 0 0 1 5 】

図 1 又は 1 A の半導体シリコンチップを備えるプリントヘッド 2 6 の部分断面図が、実物の大きさではないが図 2 に示される。図に見られるように、プリントヘッドは、基板層 3 2 とデバイス層 3 4 とを有するシリコンチップ 1 0 を取付けるための凹部又はチップポケット 3 0 を内部に有するチップキャリア又はカートリッジ本体 2 8 を含む (図 1) 。デバイス層 3 4 は、好ましくは、下記においてより詳細に説明される二酸化シリコン (S i O₂) からなるエッチング停止層である。二酸化シリコンに代わる、又はこれに加えて用いられるエッチング停止材料は、レジスト、金属、金属酸化物及び他の公知の停止材料を含む。良く知られた半導体製造技術によって、ヒータ抵抗体 1 2 がデバイス層 3 4 上に形成される。

【 0 0 1 6 】

インク通路 1 4 を形成し、デバイス層 3 4 上に抵抗層、導電層、絶縁層及び保護層を堆積

させた後に、接着剤 38 のような UV-硬化性又は熱硬化性のエポキシ材料である 1 つ以上の接着剤によって、チップ 10 のデバイス層 34 側にノズルプレート 36 が取付けられる。接着剤 38 は、好ましくは、B-段階熱硬化性樹脂のような熱硬化性接着剤であり、フェノール樹脂、エポキシ樹脂、レゾルシン樹脂、エチレン-尿素樹脂、フラン樹脂、ポリウレタン樹脂、シリコン樹脂を含むがこれらに限定されるものではない。接着剤 38 は、好ましくは、チップ 10 をチップキャリア又はカートリッジ本体 28 に取付ける前に硬化され、接着剤 38 は、好ましくは、約 1 ~ 約 25 ミクロンの厚さを有する。特に好ましい接着剤 38 は、熱と圧力によって硬化されるフェノールブチラール接着剤である。

【0017】

ノズルプレート 36 は複数のノズル孔 40 を備え、各ノズル孔はインクチャンバ 42 とインク供給チャネル 44 とに連通し、インクチャンバ 42 とインク供給チャネル 44 は、レーザアブレーションのような手段によってノズルプレート内に形成される。好ましいノズルプレート材料は、表面 46 にインクをはじくコーティングを備えたポリイミドである。これに代わって、インク供給チャネルを、ノズルプレートとは独立して、当業者に公知の方法によって塗布及びパターン化されたフォトレジスト中に形成してもよい。

【0018】

ノズルプレート 36 及び半導体チップ 10 は、好ましくは、ノズルプレート 36 のノズル孔 40 が半導体チップ 10 上のヒータ抵抗体 12 に位置合わせされるように、光学的に位置合わせされる。ノズル孔 40 とヒータ抵抗体 12 とが正しく位置合わせされていないと、プリントヘッド 26 からのインク滴の方向が正しくなく、インク滴の容量が正確でなく、或いは、十分なインク滴速度が得られないというような問題が生じる。したがって、ノズルプレート/チップのアセンブリ 36/10 の位置合わせは、インクジェット・プリントヘッドの特有の機能に対して重要である。図 2 に見られるように、インク通路 14 も、好ましくはインクチャネル 44 に位置合わせされ、インクが、インク通路 14、インクチャネル 44 及びインクチャンバ 42 と連通する。

【0019】

ノズルプレート 36 をチップ 10 に取付けた後に、フレキシブル回路又は TAB 回路 48 のトレースを半導体チップ 10 の接続パッドに接続するために、ノズルプレート/チップのアセンブリ 36/10 の半導体チップ 10 は、TAB ボンダー又はワイヤを用いてフレキシブル回路又は TAB 回路 48 に電氣的に接続される。接着剤 38 の硬化後に、ノズルプレート/チップのアセンブリ 36/10 は、ダイボンド接着剤 50 を用いてチップキャリア又はカートリッジ本体 28 に取付けられる。ノズルプレート/チップのアセンブリ 36/10 は、好ましくは、チップポケット 30 においてチップキャリア又はカートリッジ本体 28 に取付けられる。チップ 10 の縁部 52 とチップポケット 30 との間にインクが流れるのを防止するための実質的な液密シールを提供すべく、半導体チップ 10 の縁部 52 の周囲が接着剤 50 でシールされる。

【0020】

ノズルプレート/チップのアセンブリ 36/10 をチップキャリア又はカートリッジ本体 28 に取付けるのに用いられるダイボンド接着剤 50 は、好ましくは、ニュージャージー (New Jersey) のエマーソン (Emerson) アンド (&) キューミング (Cuming) オブ (of) モンローエ (Monroe) タウンシップ (Township) から、商品名 ECCOBOND 3193-17 の下に入手可能なダイボンド接着剤のようなエポキシ接着剤である。熱伝導性のチップキャリア又はカートリッジ本体 28 の場合には、ダイボンド接着剤 50 は、好ましくは、銀又は窒化ホウ素のような熱伝導率を高めるもので充填された樹脂である。好ましい熱伝導性ダイボンド接着剤は、ローデア일랜드 (Rhode Island) のアルファ (Alpha) メタルズ (Metals) オブ (of) クランストン (Cranston) から入手可能な POLY-SOLDER LT である。窒化ホウ素のフィラーを含有する好適なダイボンド接着剤 50 は、サンジョゼ (San Jose)、カルフォルニア (California) のブライト (Bryte) テクノロジーズ (Technologies) から商品名 G O

10

20

30

40

50

063の下に入手可能である。接着剤50の厚さは、好ましくは約25ミクロンから約125ミクロンの範囲である。典型的には接着剤50を硬化し、かつ、チップキャリア又はカートリッジ本体28にノズルプレート／チップのアセンブリ36／10を固定して取付けるのに、熱が必要である。

【0021】

一度、ノズルプレート／チップのアセンブリ36／10がチップキャリア又はカートリッジ本体28に取付けられると、フレキシブル回路又はTAB回路48が、感熱性又は感圧性の接着剤54を用いてチップキャリア又はカートリッジ本体28に取付けられる。好ましい感圧性接着剤54は、フェノールブチラル接着剤、アッシュランド(Ashland)、ケンタッキー(Kentucky)のアッシュランド(Ashland)ケミカルズ(Chemicals)から入手可能なAEROSET 1848のようなアクリルベースの感圧性接着剤、ならびに、セントポール(St. Paul)、ミネソタ(Minnesota)の3Mコーポレーション(Corporation)から入手可能なSCOTCH WELD 583のようなフェノールブレンド接着剤を含むが、これらに限定されるものではない。接着剤54は、好ましくは約25～約200ミクロンの範囲の厚さを有する。

【0022】

ノズル孔40からのインクの噴射を制御するために、各半導体チップ10は、プリントヘッド10が取付けられるプリンタ内の印刷コントローラに電氣的に接続される。印刷コントローラとプリントヘッド10のヒータ抵抗体12との間の接続は、チップ10のデバイス層34の接触パッドを終端とする電氣的トレースによって提供される。電氣的なTABボンド又はワイヤーボンドの接続が、フレキシブル回路又はTAB回路48と半導体基板10上の接触パッドとの間に施される。

【0023】

印刷操作の間、1つ以上のヒータ抵抗体12を動作させるためにプリンタ・コントローラから電氣的インパルスが提供され、これによって、インクチャンバ42内のインクを加熱してインクの成分を蒸発させ、これによって、印刷媒体に向けてノズル40を通してインクを出す。インクチャンバ内のバブルの崩壊と毛管作用とによって、インクチャネル44とインクチャンバ42はインクで再充填される。インク供給容器からチップキャリア又はカートリッジ本体28内のインク供給スロット56を通してチップ10内のインク供給通路に、インクが流れる。グリットブラスト技術によって製造される通路14とは異なり本発明の方法によって製造されるインク通路14は、構造的な完全性がより高く、かつ、配置精度がより高いチップ10を提供することが認識されるであろう。構造的な完全性がより高いチップ10を提供するためには、半導体チップ10への損傷を最小とする通路14を形成することが重要である。

【0024】

シリコン半導体チップ10内にインク通路14を形成するのに好ましい方法は、反応性深絞りイオンエッチング(DRIE)及び誘導結合プラズマ(ICP)エッチングから選択されるドライエッチング技術である。両技術は、フッ素化合物から誘導される六フッ化硫黄(SF₆)、テトラフルオロメタン(CF₄)及びトリフルオロアミン(NF₃)のようなエッチングガスを含むエッチング・プラズマを用いる。特に好ましいエッチングガスは、SF₆である。パッシベーションガスもまた、エッチング・プロセスの間に用いられる。パッシベーションガスは、トリフルオロメタン(CHF₃)、テトラフルオロエタン(C₂F₄)、ヘキサフルオロエタン(C₂F₆)、ジフルオロエタン(C₂H₂F₂)、オクトフルオロブタン(C₄F₈)及びこれらの混合物から選択されるガスから誘導される。特に好ましいパッシベーションガスは、C₄F₈である。

【0025】

シリコン半導体チップ10内に通路14のドライエッチングを施すために、チップは、好ましくは、デバイス層34の表面において、SiO₂、フォトレジスト材料、金属及び金属酸化物、すなわち、タンタル、酸化タンタル等から選択されるエッチング停止材料でコ

10

20

30

40

50

ーティングされる。同様に、基板層 32 は、好ましくは、デバイス層の反対側で、保護層 58 又は SiO_2 、フォトレジスト材料、タンタル、酸化タンタル等から選択されるエッチング停止材料でコーティングされる。 SiO_2 エッチング停止層 34 及び／又は保護層 58 は、熱成長法、スパッタリング又はスピニングによってシリコンチップ 10 に塗布にされてもよい。フォトレジスト材料は、チップ 10 上にフォトレジスト材料をスピニングすることによって、保護層 58 又はエッチング停止層 34 としてシリコンチップ 10 に塗布されてもよい。

【0026】

デバイス層 34 は基板層 32 に比べて比較的薄く、一般に、デバイス層 34 に対する基板層 32 の厚さの比として約 125 : 1 ~ 約 800 : 1 を有する。同様に、保護層は基板層 32 に比べて比較的薄く、一般に、保護層に対する基板層の厚さの比として約 30 : 1 ~ 約 800 : 1 を有する。したがって、約 300 ~ 約 800 ミクロンの範囲の厚さを有するシリコン基板層 32 に対して、デバイス層 34 の厚さは約 1 ~ 約 4 ミクロンの範囲であり、保護層 58 の厚さは約 1 ~ 約 30 ミクロン、好ましくは約 16 ~ 約 20 ミクロンの範囲である。

10

【0027】

チップ 10 内の通路 14 は、チップ 10 のいずれかの側からデバイス層 34 又は保護層 58 のようなエッチング停止層が施された反対側まで、チップ 10 内でパターン化されてもよい。例えば、フォトレジスト層又は SiO_2 層は、保護層 58 として塗布されてもよい。例えば紫外線光とフォトマスクを用いて通路 14 の位置を画成するために、フォトレジスト層はパターン化される。

20

【0028】

図 3 に示すチップ 10 内の通路 14 の位置もまた、2 段階プロセスを用いてパターン化される。第 1 段階では、ドライエッチング技術を用いて（又はウエハの加工中に）チップ 10 のデバイス層側で通路 14 が開口される。通路 14 は、好ましくは約 50 ミクロン未満で深さ方向にエッチングされる。次いで、デバイス層 34 はフォトレジスト層又は SiO_2 層でコーティングされ、チップを貫通するように通路 14 を完成するために、チップ 10 はデバイス層 34 の反対側からドライエッチングされる。2 段階プロセスの結果として、通路の位置及び大きさが更により正確になる。

30

【0029】

次いで、パターン化されたチップ、或いは、エッチング停止層又はデバイス層 34 及び保護層 58 を備えたチップ 10 は、プラズマガス源、ならびに、ヘリウムと水のような後側冷却を有するエッチング・チャンバ内に配置される。エッチング・プロセスの間、約 400 °C 以下、最も好ましくは約 50 °C ~ 約 80 °C の範囲にシリコンチップ 10 を維持することが好ましい。このプロセスでは、 SF_6 から誘導されるエッチング・プラズマ及び C_4F_8 から誘導されるパッシベーション・プラズマを用いて、シリコンの反応性深絞りイオンエッチング (DRIE) 又は誘導結合プラズマ (ICP) エッチングが行なわれ、保護層 58 側からデバイス層 34 側に向けてチップ 10 がエッチングされる。

【0030】

エッチング・プロセスの間において、通路 14 がデバイス層 34 に達するまで、パッシベーション・プラズマ段階とエッチング・プラズマ段階の間でプラズマが循環される。各段階の循環時間は、各段階に対して、好ましくは約 5 ~ 約 20 秒である。エッチング・チャンバ内のガス圧は、約 -20 °C ~ 約 35 °C の範囲の温度において、好ましくは約 15 ~ 約 50 ミリトールの範囲である。DRIE 又は ICP のプラテン電力は、好ましくは約 10 ~ 約 25 ワットであり、コイル電力は、約 10 ~ 約 15 MHz の範囲の周波数において、好ましくは約 800 ワット ~ 約 3.5 キロワットである。エッチング速度は、約 2 ~ 約 10 ミクロン / 分以上であり、約 88 度 ~ 約 92 度の範囲で傾斜する側壁面を有する孔を形成する。エッチング装置は、гент (Gwent)、ウエイルズ (Wales) のサーフェイス (Surface) テクノロジー (Technology) システムズ (Systems) リミテッド (Ltd.) から入手可能である。シリコンをエッチングする

40

50

手順及び装置は、バードワ (B h a r d w a j) らのヨーロッパ出願第 8 3 8, 8 3 9 A 2、バードワ (B h a r d w a j) らの米国特許第 6, 0 5 1, 5 0 3 号、バードワ (B h a r d w a j) らの P C T 出願で W O O O / 2 6 9 5 6 に記載されている。

【 0 0 3 1 】

エッチング停止層 SiO_2 に達すると、通路 1 4 のエッチングが終了する。ウエハ・ウォッシャーの高圧水洗を用いてインク通路 1 4 の位置にあるデバイス層 3 4 を通すブラステイングによって、デバイス層 3 4 に孔を形成し、この孔をチップ 1 0 のインク通路 1 4 に連通するように接続してもよい。完成したチップ 1 0 は、好ましくは、通路 1 4 がデバイス層 3 4 上の対応するヒータ 1 2 から約 4 0 ～約 6 0 ミクロン離間するように、チップ 1 0 内に位置する通路 1 4 を備える。インク通路 1 4 は、チップ 1 0 上の各ヒータ抵抗体 1 2 と 1 対 1 の対応関係を成すようにしてもよく、又は、ヒータ抵抗体 1 2 よりも多いか又は少なくともよい。このような場合、各インク通路 1 4 はヒータ抵抗体 1 2 のグループにインクを供給する。特に好ましい実施態様では、インク通路 1 4 は個々の孔又は開口であり、各孔又は開口は対応するヒータ抵抗体 1 2 に隣接している。各インク通路 1 4 は、約 5 ～約 2 0 0 ミクロンの範囲の直径を有する。

【 0 0 3 2 】

他の実施態様では、図 4 に示すように、チップ 1 0 内に通路 1 4 を形成する前に又はその後シリコン基板を化学エッチングすることによって、チップ 1 0 の後側又は基板層 3 2 側に幅広の溝 6 0 が形成される。溝 6 0 の化学エッチングは、 KOH 、ヒドラジン、エチレンジアミン-ピロカテコール- H_2O (EDP) 又はテトラメチルアンモニウムハイドロオキシド (TMAH) 及び従来の化学エッチング技術を用いて行なわれる。上述のように、溝 6 0 を形成する前に又はその後、デバイス層 3 4 側から又は保護層 5 8 側からシリコンチップ 1 0 内で通路 1 4 はエッチングされる。上述のように、溝 6 0 はまた、チップ 1 0 の D R I E 又は I C P エッチングによって形成されてもよい。溝 6 0 が化学エッチング技術によって形成される場合、好ましくは、窒化珪素 (SiN) の保護層 5 8 がチップ 1 0 における溝位置をパターン化するのに用いられる。溝の形成が完成すると、ドライエッチング・プロセスの間にシリコン材料を保護すべく、ドライエッチングのシリコンのために SiO_2 の保護層 5 8 又は他の保護材料が基板層 3 2 に塗布される。

【 0 0 3 3 】

溝 6 0 は、好ましくは、約 5 0 ～約 3 0 0 ミクロン又はそれ以上の深さでチップ 1 0 内に形成される。溝 6 0 は、チップ 1 0 内の全通路 1 4 を互いに連通接続するのに十分な幅が必要であり、或いは、通路 1 4 の平行な列を互いに接続するように、通路列 6 2 のための溝と通路列 6 4 のための溝のような別個の平行な溝 6 0 を用いてもよい。通路 1 4 の形成が完成すると、チップ 1 0 から保護層 5 8 を除去するのが好ましい。

【 0 0 3 4 】

本発明の更なる特徴が図 5 ～ 7 に示される。これらの図において、通路 6 6 及び 6 8 は、矩形又は長円形の形状を成し、多数のヒータ抵抗体 1 2 に隣接する長いスロットである。D R I E 技術を用いた上述のように、スロット 6 6 と 6 8 が半導体基板 1 0 内に形成される。インク通路 6 6 及び 6 8 は実質的に垂直な壁 7 0 及び 7 2 を有し、図 4 について上述したように、チップ 1 0 の後側又は基板層 3 2 側に幅広の溝 7 4 を備えていてもよい。

【 0 0 3 5 】

従来のグリットブラスト技術によって形成される通路は、典型的には約 2 . 5 m m ～ 3 0 m m の長さで、かつ、1 2 0 ミクロン～1 m m の幅である。グリットブラスト仕上げされた通路の許容度は、 $\pm 6 0$ ミクロンである。これと比較すると、本発明によって形成された通路は、1 0 ミクロンの長さで、かつ、1 0 ミクロンの幅の小ささをもって製造される。D R I E 技術によって形成される通路長さには実質的に上限がない。D R I E 通路に対する許容度は、約 $\pm 1 0$ ～約 $\pm 1 5$ ミクロンである。本発明による D R I E 技術を用いて、円形、正方形、矩形及び長円形の形状を成す通路を含むいかなる形状の通路も製造される。グリットブラスト技術又はウェット化学エッチング技術を用いて比較的厚いシリコンチップに、1 0 ミクロン程度の小さい孔を形成するのは、例え不可能でないにしても困難

10

20

30

40

50

である。さらに、通路は、本発明によるDRIE技術を用いてチップのいずれかの側からエッチングされる。グリットブラスト技術を用いれば、多数の孔又は通路14が連続的ではなく一時に製造され、かつ、ウェット化学エッチング技術によるよりも非常に高速で製造される。

【0036】

前述のドライエッチング技術によって形成される通路14を有するチップ10は、ブラスト技術によって製造される通路14を備えるチップよりも実質的に高強度であり、チップを備えるプリントヘッドの早発な故障を引起す割れ又は亀裂を示さない。前述のプロセスによって通路位置の精度が大幅に改良され、エッチングの均一度は約4%を越える。

【0037】

ウェット化学エッチングと比べると、本発明によるドライエッチング技術は、シリコンチップ10の結晶の配向に依存しないで行なわれるので、チップ10内においてより高精度に配置される。ウェット化学エッチングは約200ミクロン未満のチップ厚さに適しているが、約200ミクロンを超えるチップ厚さに対してはエッチング精度が大幅に低減する。ウェット化学エッチング技術には高腐食性の化学薬品が用いられるが、本発明によるDRIE技術に用いられるガスは、実質的に不活性である。ウェット化学エッチングによって製造される通路形状は結晶格子の配向に依存するが、DRIEによって製造される通路の形状は本質的に制限されるものではない。例えば(100)シリコンチップにおいて、KOHは典型的には、先進の補償技術を用いることなく正方形と矩形をエッチングするだけである。本発明によるDRIE技術では、結晶格子が配列する必要はない。

【0038】

本発明によって製造されるドライエッチングされたシリコンチップとグリットブラスト仕上げされたシリコンチップとの強度の比較は、下記表に示される。下記表において、シリコンチップ中に通路を形成するために、グリットブラスト技術及びDRIE技術を用いて多数の試料が調製された。試料の各セットにおける通路は、デバイス側及びブランク側においてほぼ同じ幅と長さとなる。表に示される“チップ縁部から通路までの平均距離”の測定値は、チップの縁部から通路の長手軸に沿って取られた通路の縁部までの測定値である。“平均通路幅”の測定値は、通路の幅方向の軸に平行な方向に沿って各通路を横切るほぼ同じ点における測定値である。

【0039】

振り試験では、ローラーベアリングによって支持される回転モーメントアームを供える一端部を有する振り試験機を組立てた。チップを保持するための穴開きロッドを、モーメントアームの一端部に接続した。固定部に取付けられた固定穴開きロッドによって、反対側の端部にチップを保持した。テフロン（登録商標）圧子を試験フレーム内のロードセルに接続し、モーメントアームに接するようにして用いた。アームが回転する際にモーメントアームの下方にある圧子の動きによって付加される摩擦を低減するために、テフロン（登録商標）圧子が用いられる。用いられるクロスヘッド速度は0.2インチ/分（5.08mm/分）であり、モーメントアームの中心から圧子までは2インチ（50.8mm）であった。

【0040】

3点曲げ試験では、3点の修正曲げ固定部を設けた。固定部表面の欠陥によってチップ試料の応力点が発生するのを防止するために、ルールとナイフ縁は3ミクロンのダイヤモンドペーストで平坦になるように磨いた。試験機のルールは3.5mmのスペンを有し、用いたルールの半径とナイフ縁は約1mmであった。試料は固定部に配置され、ルールを収容する下方支持の中心で、かつナイフ縁の直下においてインク通路に視覚によって位置合わせされた。クロスヘッド速度は0.5インチ/分（12.7mm/分）であり、全試料は破壊まで負荷された。

【0041】

【表1】

表 1

試料 #	平均通 路幅 (mm)	通路 長さ (mm)	チップ縁部 から通路まで の平均距離 (mm)	通路タイプ	振り強度 (lbs)
1	0.5115	13.853	1.5455	DRIE	0.234
2	0.5075	13.863	1.5375	DRIE	0.301
3	0.4980	13.866	1.5383	DRIE	0.161
4	0.5162	13.867	1.5435	DRIE	0.249
5	0.5298	13.866	1.5400	DRIE	0.177
6	0.5237	13.906	1.5063	DRIE	0.354
7	0.5130	13.855	1.5455	DRIE	0.201
8	0.4978	13.855	1.5420	DRIE	0.288
9	0.5262	13.857	1.5410	DRIE	0.189
10	0.5240	13.883	1.5320	DRIE	0.211
11	0.5175	13.862	1.5430	DRIE	0.325
12	0.5118	13.886	1.5327	DRIE	0.289
13	0.5115	13.876	1.5360	DRIE	0.178
14	0.5137	13.902	1.5265	DRIE	0.373
15	0.5225	13.915	1.5247	DRIE	0.270
16	0.5165	13.918	1.5775	DRIE	0.301
17	0.5188	13.867	1.5403	DRIE	0.271
18	0.5115	13.893	1.5368	DRIE	0.506
19	0.5153	13.876	1.5315	DRIE	0.276
20	0.5127	13.825	1.5308	DRIE	0.356
DRIE通路に対する平均振り強度 (lbs)					0.2755

10

20

30

(表1の続き)

試料 #	平均通 路幅 (mm)	通路 長さ (mm)	チップ縁部 から通路まで の平均距離 (mm)	通路タイプ	振り強度 (lbs)
21	0.5002	13.787	1.5470	グリットブラスト仕上げ	0.139
22	0.4875	13.796	1.5642	グリットブラスト仕上げ	0.199
23	0.4793	13.770	1.5843	グリットブラスト仕上げ	0.142
24	0.5235	13.783	1.5605	グリットブラスト仕上げ	0.233
25	0.4515	13.799	1.5367	グリットブラスト仕上げ	0.185
26	0.4950	13.792	1.5740	グリットブラスト仕上げ	0.146
27	0.4622	13.809	1.5290	グリットブラスト仕上げ	0.210
28	0.4843	13.853	1.5447	グリットブラスト仕上げ	0.179
29	0.4700	13.862	1.5388	グリットブラスト仕上げ	0.067
30	0.4848	13.863	1.5397	グリットブラスト仕上げ	0.177
31	0.4853	13.858	1.5297	グリットブラスト仕上げ	0.220
32	0.4890	13.795	1.5720	グリットブラスト仕上げ	0.261
33	0.4553	13.762	1.5848	グリットブラスト仕上げ	0.172
34	0.4790	13.780	1.5775	グリットブラスト仕上げ	0.244
35	0.4720	13.684	1.6140	グリットブラスト仕上げ	0.231
36	0.4872	13.834	1.5497	グリットブラスト仕上げ	0.292
37	0.4797	13.823	1.5302	グリットブラスト仕上げ	0.161
38	0.5105	13.748	1.5957	グリットブラスト仕上げ	0.245
39	0.4687	13.745	1.5860	グリットブラスト仕上げ	0.292
40	0.4938	13.811	1.5525	グリットブラスト仕上げ	0.124
グリットブラスト仕上げ通路に対する平均振り強度 (lbs)					0.1959

10

20

30

【 0 0 4 2 】

【 表 2 】

40

表 2

試料 #	平均通 路幅 (mm)	通路 長さ (mm)	チップ縁部 から通路まで の平均距離 (mm)	通路タイプ	3点曲げ 強度 (lbs)
1	0.4977	13.840	1.5740	DRIE	22.59
2	0.5035	13.819	1.6817	DRIE	10.95
3	0.5022	13.832	1.6240	DRIE	23.55
4	0.5055	13.833	1.6630	DRIE	28.37
5	0.5035	13.833	1.6177	DRIE	25.85
6	0.5135	13.847	1.5498	DRIE	22.99
7	0.5107	13.853	1.5385	DRIE	22.07
8	0.4932	13.855	1.5447	DRIE	39.90
9	0.5030	13.869	1.5387	DRIE	21.11
10	0.5160	13.885	1.5280	DRIE	25.37
11	0.5245	13.855	1.5455	DRIE	22.39
12	0.5202	13.860	1.5463	DRIE	11.18
13	0.4982	13.860	1.5370	DRIE	24.62
14	0.5152	13.869	1.5330	DRIE	30.30
15	0.5250	13.859	1.5427	DRIE	30.78
16	0.5217	13.868	1.5363	DRIE	32.28
17	0.5240	13.851	1.5475	DRIE	22.22
18	0.4925	13.847	1.5505	DRIE	16.28
19	0.5142	13.869	1.5388	DRIE	17.96
20	0.5250	13.895	1.5275	DRIE	12.77
DRIE通路に対する平均3点曲げ強度(lbs)					23.18

10

20

30

(表 2 の続き)

試料 #	平均通 路幅 (mm)	通路 長さ (mm)	チップ縁部 から通路まで の平均距離 (mm)	通路タイプ	3 点曲げ 強度 (lbs)
21	0.4967	13.834	1.5425	グリットブラスト仕上げ	2.698
22	0.4852	13.808	1.5475	グリットブラスト仕上げ	5.808
23	0.4740	13.836	1.5477	グリットブラスト仕上げ	4.246
24	0.4907	13.838	1.5472	グリットブラスト仕上げ	5.511
25	0.4778	13.837	1.5500	グリットブラスト仕上げ	6.556
26	0.4835	13.843	1.5670	グリットブラスト仕上げ	4.909
27	0.4695	13.826	1.5535	グリットブラスト仕上げ	8.352
28	0.4855	13.827	1.5548	グリットブラスト仕上げ	5.288
29	0.4868	13.823	1.5582	グリットブラスト仕上げ	4.754
30	0.4570	13.695	1.6208	グリットブラスト仕上げ	5.120
31	0.4980	13.812	1.5618	グリットブラスト仕上げ	6.358
32	0.4992	13.827	1.5473	グリットブラスト仕上げ	4.737
33	0.4840	13.835	1.5477	グリットブラスト仕上げ	4.172
34	0.4943	13.842	1.5490	グリットブラスト仕上げ	4.139
35	0.4877	13.838	1.5268	グリットブラスト仕上げ	5.852
36	0.4890	13.810	1.5222	グリットブラスト仕上げ	3.608
37	0.4882	13.825	1.5562	グリットブラスト仕上げ	7.111
38	0.4795	13.815	1.5635	グリットブラスト仕上げ	5.631
39	0.4855	13.811	1.5485	グリットブラスト仕上げ	5.572
40	0.4855	13.827	1.5522	グリットブラスト仕上げ	5.671
グリットブラスト仕上げ流路に対する 3 点曲げ強度 (lbs)					5.304

【 0 0 4 3 】

表 1 に見られるように、本発明による D R I E 法を用いて製造される、インク通路を備えたシリコンチップは、グリットブラスト技術によって製造される同様の大きさの通路に比べて高い振り強度を示した。グリットブラスト仕上げされた通路を備えるチップと D R I E 通路を備えるチップとの強度における更に劇的な比較が、表 2 に見られる。この表は、このようなチップの 3 点曲げ強度を比較するものである。チップの各タイプにおける平均強度を比較することによって分かるように、D R I E 技術によって製造される通路を備えるチップは、グリットブラスト仕上げされた通路を備えるチップの 4 倍を超える強度を示した。D R I E 技術によって製造される通路の増大した強度は相当な大きさであって、全く予想されるものではなかった。

【 0 0 4 4 】

反応性イオンエッチングの方法は、ほぼ全部記載したかのように参考としてここに挙げた

ハインズ (H a y n e s) らの米国特許第 6, 0 5 1, 5 0 3 号に記載されている。エッチングの有用な手順と装置もまた、バードワ (B h a r d w a j) らのヨーロッパ出願第 8 3 8, 8 3 9 号、バードワ (B h a r d w a j) らの W O O O / 2 6 9 5 6 号、グイバラ (G u i b a r r a) らの W O 9 9 / 0 1 1 8 8 7 号に記載されている。エッチング装置は、гент (G w e n t)、ウエイルズ (W a l e s) のサーフィス (S u r f a c e) テクノロジー (T e c h n o r o g y) システムズ (S y s t e m s) リミテッド (L i m i t e d) から入手可能である。

【 0 0 4 5 】

本発明の様々な特徴と実施態様、ならびに、その幾つかの利点を説明したが、特許請求の範囲及びその意図の範囲内で、本発明における様々な修飾、置換及び修正が可能であることが、当業者によって認識されるであろう。

10

【図面の簡単な説明】

【図 1】

図 1 は、本発明の 1 つの特徴によるインク通路とヒータ抵抗体の配置を示す半導体チップの一部の平面図である。

【図 1 A】

図 1 A は、本発明によるインク通路とヒータ抵抗体の他の配置を示す半導体チップの一部の平面図である。

【図 2】

図 2 は、インクジェット・プリンタ用の実物大でないプリントヘッドの一部の断面図である。

20

【図 3】

図 3 は、本発明の第 1 の特徴による半導体チップの一部の切取り斜視図である。

【図 4】

図 4 は、本発明の第 2 の特徴による半導体チップの一部の切取り斜視図である。

【図 5】

図 5 は、本発明の第 3 の特徴による半導体チップの一部の平面図である。

【図 6】

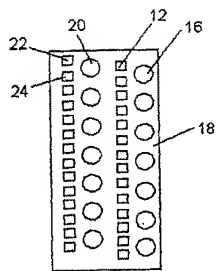
図 6 は、本発明の第 3 の特徴による半導体チップの一部の切取り斜視図である。

【図 7】

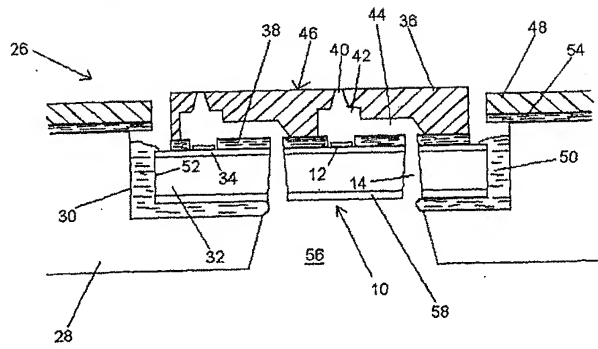
図 7 は、本発明の第 4 の特徴による半導体チップの一部の切取り斜視図である。

30

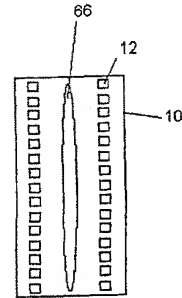
【図 1 A】



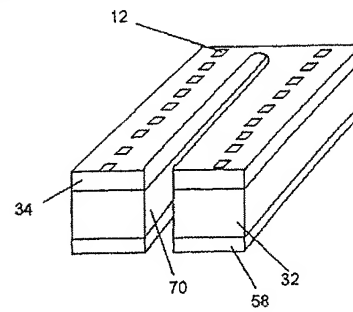
【図 2】



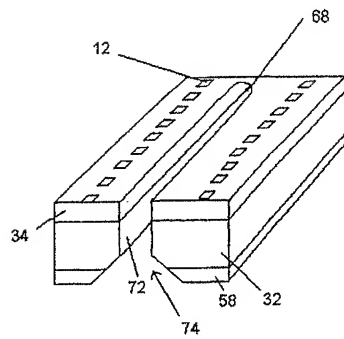
【図 5】



【図 6】



【図 7】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
25 July 2002 (25.07.2002)

PCT

(18) International Publication Number
WO 02/057084 A2

- (51) International Patent Classification: B41J 2/04
- (21) International Application Number: PCT/US01/47666
- (22) International Filing Date: 22 October 2001 (22.10.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/698,765 27 October 2000 (27.10.2000) US
- (71) Applicant: LEXMARK INTERNATIONAL, INC.
[US/US]; 740 West New Circle Road, Lexington, KY 40550 (US).
- (72) Inventors: POWERS, James, Harold; 4772 Rhema Way, Lexington, KY 40514 (US); SULLIVAN, Carl, Edmond; 331 Chestnut Lane, Versailles, KY 40383 (US).
- (74) Agent: MCARDLE, John, J., Jr.; Lexmark International, Inc., 740 West New Circle Road, Lexington, KY 40550 (US).
- (81) Designated States (national): All: ACI, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CI, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GR, GM, GU, HK, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NG, NI, NL, NO, NZ, PA, PE, PG, PH, PL, PT, RO, RU, SD, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).
- Published:
without international search report and to be republished upon receipt of that report
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/057084 A2

(54) Title: IMPROVED INK JET PRINTERHEADS AND METHODS THEREFOR

(57) Abstract: The invention provides a method for making ink feed vias in semiconductor silicon substrate chips for an ink jet printhead and ink jet printheads containing silicon chips made by the method. The method includes applying an etch stop layer to a first surface of the silicon chip having a thickness ranging from about 300 to 800 microns, dry etching individual ink vias through the thickness of the silicon chip up to the etch stop layer from a surface opposite the first surface and forming holes in the etch stop layer to individually fluidly connect with the ink vias using a mechanical technique. Substantially vertical wall vias are etched through the thickness of the silicon chip using the method. As opposed to conventional ink via formation techniques, the method significantly improves the throughput of silicon chip and reduces losses due to chip breakage and cracking. The resulting chips are more reliable for long term printhead use.

WO 02/057084

PCT/US01/47666

IMPROVED INK JET PRINTHEADS AND METHODS THEREFOR**FIELD OF THE INVENTION:**

The invention is directed to printheads for ink jet printers and more specifically to improved printhead structures and methods for making the structures.

5 BACKGROUND:

Ink jet printers continue to be improved as the technology for making the printheads continues to advance. New techniques are constantly being developed to provide low cost, highly reliable printers which approach the speed and quality of laser printers. An added benefit of ink jet printers is that color images can be produced at a fraction of the cost of laser printers with as good or better quality than laser printers. All of the foregoing benefits exhibited by ink jet printers have also increased the competitiveness of suppliers to provide comparable printers in a more cost efficient manner than their competitors.

One area of improvement in the printers is in the print engine or printhead itself. This seemingly simple device is a microscopic marvel containing electrical circuits, ink passageways and a variety of tiny parts assembled with precision to provide a powerful, yet versatile component of the printer. The printhead components must also cooperate with an endless variety of ink formulations to provide the desired print properties. Accordingly, it is important to match the printhead components to the ink and the duty cycle demanded by the printer. Slight variations in production quality can have a tremendous influence on the product yield and resulting printer performance.

An ink jet printhead includes a semiconductor chip and a nozzle plate attached to the chip. The semiconductor chip is typically made of silicon and contains various passivation layers, conductive metal layers, resistive layers, insulative layers and protective layers deposited on a device surface thereof. The individual heater resistors are defined in the resistive layers and each heater resistor corresponds to a nozzle hole in the nozzle plate for heating and ejecting ink toward a print media. In one form of a printhead, the nozzle plates contain ink chambers and ink feed channels for directing ink to each of the heater resistors on the semiconductor chip. In a center feed design, ink is supplied to the ink channels and ink chambers from a slot or single

WO 02/057084

PCT/US01/47666

ink via which is conventionally formed by chemically etching or grit blasting through the thickness of the semiconductor chip.

Grit blasting the semiconductor chip to form ink vias is a preferred technique because of the speed with which chips can be made by this technique.

5 However, grit blasting results in a fragile product and often times creates microscopic cracks or fissures in the silicon substrate which eventually lead to chip breakage and/or failure. Furthermore, grit blasting cannot be adapted on an economically viable production basis for forming substantially smaller holes in the silicon substrate or holes having the desired dimensional parameters for the higher resolution
10 printheads. Another disadvantage of grit blasting is the sand and debris generated during the blasting process which is a potential source of contamination and the grit can impinge on electrical components on the chips causing electrical failures.

Wet chemical etching techniques may provide better dimensional control for etching of relatively thin semiconductor chips than grit blasting
15 techniques. However, as the thickness of the wafer approaches 200 microns, tolerance difficulties increase significantly. In wet chemical etching, dimensions of the vias are controlled by a photolithographic masking process. Mask alignment provides the desired dimensional tolerances. The resulting ink vias have smooth edges which are free of cracks or fissures. Hence the chip is less fragile than a chip
20 made by a grit blasting process. However, wet chemical etching is highly dependent on the thickness of the silicon chip and the concentration of the etchant which results in variations in etch rates and etch tolerances. The resulting etch pattern for wet chemical etching must be at least as wide as the thickness of the wafer. Wet chemical etching is also dependent on the silicon crystal orientation and any misalignment
25 relative to the crystal lattice direction can greatly affect dimensional tolerances. Mask alignment errors and crystal lattice registration errors may result in significant total errors in acceptable product tolerances. Wet chemical etching is not practical for relatively thick silicon substrates because the entrance width is equal to the exit width plus the square root of 2 times the substrate thickness when using KOH and (100)
30 silicon. Furthermore, the tolerances required for wet chemical etching are often too great for small or closely spaced holes because there is always some registration error with respect to the lattice orientation resulting in relatively large exit hole tolerances.

WO 02/057084

PCT/US01/47666

As advances are made in print quality and speed, a need arises for an increased number of heater resistors which are more closely spaced on the silicon chips. Decreased spacing between the heater resistors requires more reliable ink feed techniques for the individual heater resistors. As the complexity of the printheads continues to increase, there is a need for long-life printheads which can be produced in high yield while meeting more demanding manufacturing tolerances. Thus, there continues to be a need for improved manufacturing processes and techniques which provide improved printhead components.

SUMMARY OF THE INVENTION:

With regard to the above and other objects the invention provides a method for making ink feed vias in semiconductor silicon substrate chips for an ink jet printhead. The method includes applying an etch stop layer to a first surface of the silicon chip having a thickness ranging from about 300 to about 800 microns, dry etching one or more ink vias through the thickness of the silicon chip up to the etch stop layer from a surface opposite the first surface and forming one or more through holes in the etch stop layer by a mechanical technique each through hole corresponding to a via of the one or more vias in order to fluidly connect the one or more through holes with the corresponding ink vias. Substantially vertical wall vias are etched through the thickness of the silicon chip using the method.

In another aspect the invention provides a silicon chip for an ink jet printhead. The silicon chip includes a device layer and a substrate layer, the device layer having a thickness ranging from about 1 to about 4 microns and the substrate layer having a thickness ranging from about 300 to about 800 microns. The device layer has an exposed surface containing a plurality of heater resistors defined by conductive, resistive, insulative and protective layers deposited on the exposed surface thereof. The silicon chip also includes at least one ink feed via corresponding to one or more heater resistors, the ink feed via being formed by dry etching through the substrate layer and having at least one through hole corresponding to each via opened by mechanical means in the device so that the at least one through hole individually fluidly connects with the corresponding ink feed via.

WO 02/057084

PCT/US01/47666

An advantage of the invention is that one or more ink via holes may be formed in a semiconductor silicon chip which meet demanding tolerances and provide improved ink flow to one or more heater resistors. Unlike grit blasting techniques, the ink vias are formed without introducing unwanted stresses or microscopic cracks in the semiconductor chips. Grit blasting is not readily adaptable to forming relatively narrow ink vias because the tolerances for grit blasting are too large or to forming a large number of individual ink vias in a semiconductor chip because each via must be bored one at a time. Deep reactive ion etching (DRIE) and inductively coupled plasma (ICP) etching, referred to herein as "dry etching", also provide advantages over wet chemical etching techniques because the etch rate is not dependent on silicon thickness or crystal orientation. Dry etching techniques are also adaptable to producing a larger number of ink vias which may be more closely spaced to corresponding heater resistors than ink vias made with conventional wet chemical etching and grit blasting processes.

BRIEF DESCRIPTION OF THE DRAWINGS:

Further advantages of the invention will become apparent by reference to the detailed description when considered in conjunction with the figures, which are not to scale, wherein like reference numbers indicate like elements through the several views, and wherein:

Fig. 1 is a top plan view of a portion of a semiconductor chip showing the arrangement of ink vias and heater resistors according to one aspect of the invention;

Fig. 1A is a top plan view of a portion of a semiconductor chip showing an alternate arrangement of ink vias and heater resistors according to the invention;

Fig. 2 is a cross-sectional view, not to scale of a portion of a printhead for an ink jet printer;

Fig. 3 is a cut away perspective view of a portion of a semiconductor chip according to a first aspect of the invention;

Fig. 4 is a cut away perspective view of a portion of a semiconductor chip according to a second aspect of the invention;

WO 02/057084

PCT/US01/47666

Fig. 5 is a top plan view of a portion of a semiconductor chip according to a third aspect of the invention;

Fig. 6 is a cut away perspective view of a portion of a semiconductor chip according to a third aspect of the invention; and

5 Fig. 7 is a cut away perspective view of a portion of a semiconductor chip according to a fourth aspect of the invention.

DETAILED DESCRIPTION OF THE INVENTION:

With reference to Fig. 1, the invention provides a semiconductor silicon chip 10 having a device side containing a plurality of heater resistors 12 and a plurality of ink feed vias 14 therein corresponding to one or more of the heater resistors 12. The semiconductor chips 10 are relatively small in size and typically have overall dimensions ranging from about 2 to about 10 millimeters wide by about 10 to about 36 millimeters long. In conventional semiconductor chips containing slot-type ink vias which are grit blasted in the chips 10, the ink via slots have dimensions of about 9.7 millimeters long and 0.39 millimeters wide. Accordingly, the chips 10 must have a width sufficient to contain the relatively wide ink via while considering manufacturing tolerances, and sufficient surface area for heater resistors and connectors. In the chips made according to the invention, the ink via holes 14 have a diameter or length and width ranging from about 5 microns to about 200 microns thereby substantially reducing the amount of chip surface area required for the ink vias, heater resistors and connecting circuits. Reducing the size of the chips 10 enables a substantial increase in the number of chips 10 that may be obtained from a single silicon wafer. Hence, the invention provides substantial incremental cost savings over chips made by conventional techniques containing slot type ink vias.

25 The ink feed vias 14 are etched through the entire thickness of the semiconductor substrate 10 and are in fluid communication with ink supplied from an ink supply container, ink cartridge or remote ink supply. The ink vias 14 direct ink from the ink supply container which is located opposite the device side of the silicon chip 10 through the chip 10 to the device side of the chip as seen in the plan view in Fig. 1. The device side of the chip 10 also preferably contains electrical tracing from the heater resistors to contact pads used for connecting the chip to a flexible circuit or

WO 02/057084

PCT/US01/47666

TAB circuit for supplying electrical impulses from a printer controller to activate one or more heater resistors.

In Fig. 1, a single ink via 14 is associated with a single heater resistor 12. Accordingly, there are as many ink vias 14 as heater resistors 12 on the chip 10. An alternative arrangement of ink vias 14 and heater resistors 12 is shown in Fig. 1A. In this example, ink vias 16 are substantially larger than the ink vias 14 of Fig. 1. Each ink via 16 of chip 18 in Fig. 1A is associated with two or more heater resistors 12. For example, ink via 20 is associated with heater resistors 22 and 24. In yet another embodiment, there is one ink via for feeding ink to four or more adjacent heater resistors.

A cross-sectional view, not to scale of a portion of a printhead 26 containing the semiconductor silicon chip of Figs 1 or 1A is illustrated in Fig. 2. As seen in Fig. 2, the printhead includes a chip carrier or cartridge body 28 having a recess or chip pocket 30 therein for attachment of a silicon chip 10 (Fig. 1) thereto, the chip having a substrate layer 32 and a device layer 34. The device layer 34 is preferably an etch stop layer of silicon dioxide (SiO_2) which will be described in more detail below. Alternative etch stop materials which may be used instead of or in addition to silicon dioxide include resists, metals, metal oxides and other known etch stop materials. The heater resistors 12 are formed on the device layer 34 by well known semiconductor manufacturing techniques.

After forming ink vias 14 and depositing resistive, conductive, insulative and protective layers on device layer 34, a nozzle plate 36 is attached to the device layer 34 side of the chip 10 by means of one or more adhesives such as adhesive 38 which may be a UV-curable or heat curable epoxy material. Adhesive 38 is preferably a heat curable adhesive such as a B-stageable thermal cure resin, including, but not limited to phenolic resins, resorcinol resins, epoxy resins, ethylene-urea resins, furane resins, polyurethane resins and silicone resins. The adhesive 38 is preferably cured before attaching the chip 10 to the chip carrier or cartridge body 28 and adhesive 38 preferably has a thickness ranging from about 1 to about 25 microns. A particularly preferred adhesive 38 is a phenolic butyral adhesive which is cured by heat and pressure.

WO 02/057084

PCT/US01/47666

The nozzle plate 36 contains a plurality of nozzle holes 40 each of which are in fluid flow communication with an ink chamber 42 and an ink supply channel 44 which are formed in the nozzle plate material by means such as laser ablation. A preferred nozzle plate material is polyimide which may contain an ink repellent coating on surface 46 thereof. Alternatively ink supply channels may be formed independently of the nozzle plate in a layer of photoresist material applied and patterned by methods known to those skilled in the art.

The nozzle plate 36 and semiconductor chip 10 are preferably aligned optically so that the nozzle holes 40 in the nozzle plate 36 align with heater resistors 12 on the semiconductor chip 10. Misalignment between the nozzle holes 40 and the heater resistor 12 may cause problems such as misdirection of ink droplets from the printhead 26, inadequate droplet volume or insufficient droplet velocity. Accordingly, nozzle plate/chip assembly 36/10 alignment is critical to the proper functioning of an ink jet printhead. As seen in Fig. 2, the ink vias 14 are also preferably aligned with the ink channels 44 so that ink is in flow communication with the ink vias 14, channels 44 and ink chambers 42.

After attaching the nozzle plate 36 to the chip 10, the semiconductor chip 10 of the nozzle plate/chip assembly 36/10 is electrically connected to the flexible circuit or TAB circuit 48 using a TAB bonder or wires to connect traces on the flexible or TAB circuit 48 with connection pads on the semiconductor chip 10. Subsequent to curing adhesive 38, the nozzle plate/chip assembly 36/10 is attached to the chip carrier or cartridge body 28 using a die bond adhesive 50. The nozzle plate/chip assembly 36/10 is preferably attached to the chip carrier or cartridge body 28 in the chip pocket 30. Adhesive 50 seals around the edges 52 of the semiconductor chip 10 to provide a substantially liquid tight seal to inhibit ink from flowing between edges 52 of the chip 10 and the chip pocket 30.

The die bond adhesive 50 used to attach the nozzle plate/chip assembly 36/10 to the chip carrier or cartridge body 28 is preferably an epoxy adhesive such as a die bond adhesive available from Emerson & Cuming of Monroe Township, New Jersey under the trade name ECCOBOND 3193-17. In the case of a thermally conductive chip carrier or cartridge body 28, the die bond adhesive 50 is preferably a resin filled with thermal conductivity enhancers such as silver or boron nitride. A

WO 02/057084

PCT/US01/47666

preferred thermally conductive die bond adhesive 50 is POLY-SOLDER LT available from Alpha Metals of Cranston, Rhode Island. A suitable die bond adhesive 50 containing boron nitride fillers is available from Bryte Technologies of San Jose, California under the trade designation G0063. The thickness of adhesive 50 preferably ranges from about 25 microns to about 125 microns. Heat is typically required to cure adhesive 50 and fixedly attach the nozzle plate/chip assembly 36/10 to the chip carrier or cartridge body 28.

Once the nozzle plate/chip assembly 36/10 is attached to the chip carrier or cartridge body 28, the flexible circuit or TAB circuit 48 is attached to the chip carrier or cartridge body 28 using a heat activated or pressure sensitive adhesive 54. Preferred pressure sensitive adhesives 54 include, but are not limited to phenolic butyral adhesives, acrylic based pressure sensitive adhesives such as AEROSSET 1848 available from Ashland Chemicals of Ashland, Kentucky and phenolic blend adhesives such as SCOTCH WELD 583 available from 3M Corporation of St. Paul, Minnesota. The adhesive 54 preferably has a thickness ranging from about 25 to about 200 microns.

In order to control the ejection of ink from the nozzle holes 40, each semiconductor chip 10 is electrically connected to a print controller in the printer to which the printhead 10 is attached. Connections between the print controller and the heater resistors 12 of printhead 10 are provided by electrical traces which terminate in contact pads in the device layer 34 of the chip 10. Electrical TAB bond or wire bond connections are made between the flexible circuit or TAB circuit 48 and the contact pads on the semiconductor substrate 10.

During a printing operation, an electrical impulse is provided from the printer controller to activate one or more of the heater resistors 12 thereby heating ink in the ink chamber 42 to vaporize a component of the ink thereby forcing ink through nozzle 40 toward a print media. Ink is caused to refill the ink channel 44 and ink chamber 42 by collapse of the bubble in the ink chamber and capillary action. The ink flows from an ink supply container through an ink feed slot 56 in the chip carrier or cartridge body 28 to the ink feed vias 14 in the chip 10. It will be appreciated that the ink vias 14 made by the methods of the invention as opposed to vias 14 made by grit blasting techniques, provide chips 10 having greater structural integrity and

WO 02/057084

PCT/US01/47666

greater placement accuracy. In order to provide chips 10 having greater structural integrity, it is important to form the vias 14 with minimum damage to the semiconductor chip 10.

A preferred method for forming ink vias 14 in a silicon semiconductor chip 10 is a dry etch technique selected from deep reactive ion etching (DRIE) and inductively coupled plasma (ICP) etching. Both techniques employ an etching plasma comprising an etching gas derived from fluorine compounds such as sulfur hexafluoride (SF_6), tetrafluoromethane (CF_4) and trifluoroamine (NF_3). A particularly preferred etching gas is SF_6 . A passivating gas is also used during the etching process. The passivating gas is derived from a gas selected from the group consisting of trifluoromethane (CHF_3), tetrafluoroethane (C_2F_6), hexafluoroethane (C_2F_6), difluoroethane ($\text{C}_2\text{H}_2\text{F}_2$), octafluorobutane (C_4F_8) and mixtures thereof. A particularly preferred passivating gas is C_4F_8 .

In order to conduct dry etching of vias 14 in the silicon semiconductor chip 10, the chip is preferably coated on the device layer 34 surface thereof (Fig. 3) with an etch stop material selected from SiO_2 , a photoresist material, metal and metal oxides, i.e., tantalum, tantalum oxide and the like. Likewise, the substrate layer 32 is preferably coated on the side opposite the device layer with a protective layer 58 or etch stop material selected from SiO_2 , a photoresist material, tantalum, tantalum oxide and the like. The SiO_2 etch stop layer 34 and/or protective layer 58 may be applied to the silicon chip 10 by a thermal growth method, sputtering or spinning. A photoresist material may be applied to the silicon chip 10 as a protective layer 58 or etch stop layer 34 by spinning the photoresist material on the chip 10.

Device layer 34 is relatively thin compared to the thickness of the substrate layer 32 and will generally have a substrate layer 32 to device layer thickness ratio ranging from about 125:1 to about 800:1. Likewise, protective layer 58 is relatively thin compared to the thickness of the substrate layer 32 and will generally have a substrate layer to protective layer thickness ratio ranging from about 30:1 to about 800:1. Accordingly, for a silicon substrate layer 32 having a thickness ranging from 300 to about 800 microns, the device layer 34 thickness may range from about 1 to about 4 microns and the protective layer 58 thickness may range from about 1 to about 30 microns, preferably from about 16 to about 20 microns thick.

WO 02/057084

PCT/US01/47666

The via 14 locations in the chip 10 may be patterned in the chip 10 from either side of the chip 10, the opposite side being provided with an etch stop material such as device layer 34 or protective layer 58. For example, a photoresist layer or SiO₂ layer may be applied as protective layer 58. The photoresist layer is patterned to define the location of vias 14 using, for example, ultraviolet light and a photomask.

The via 14 locations in the chip 10 of Fig. 3 may also be patterned using a two-step process. In the first step, the vias 14 are opened on the device layer side of the chip 10 with a dry etching technique (or during wafer fabrication). The vias 14 are etched to a depth, preferably less than about 50 microns. The device layer 34 is then coated with a photoresist layer or SiO₂ layer and the chip 10 is dry etched from the side opposite the device layer 34 to complete the via 14 through the chip. As a result of the two-step process, the via locations and sizes are even more precise.

The patterned chip or the chip 10 containing the etch stop layer or device layer 34 and protective layer 58 is then placed in an etch chamber having a source of plasma gas and back side cooling such as with helium and water. It is preferred to maintain the silicon chip 10 below about 400°C, most preferably in a range of from about 50° to about 80°C during the etching process. In the process, a deep reactive ion etch (DRIE) or inductively coupled plasma (ICP) etch of the silicon is conducted using an etching plasma derived from SF₆ and a passivating plasma derived from C₄F₈ wherein the chip 10 is etched from the protective layer 58 side toward the device layer 34 side.

During the etching process, the plasma is cycled between the passivating plasma step and the etching plasma step until the vias 14 reach the device layer 34. Cycling times for each step preferably ranges from about 5 to about 20 seconds for each step. Gas pressure in the etching chamber preferably ranges from about 15 to about 50 millitorrs at a temperature ranging from about -20° to about 35°C. The DRIE or ICP platen power preferably ranges from about 10 to about 25 watts and the coil power preferably ranges from about 800 watts to about 3.5 kilowatts at frequencies ranging from about 10 to about 15 MHz. Etch rates may range from about 2 to about 10 microns per minute or more and produce holes having side wall profile angles ranging from about 88° to about 92°. Etching apparatus is

WO 02/057084

PCT/US01/47666

available from Surface Technology Systems, Ltd. of Gwent, Wales. Procedures and equipment for etching silicon are described in European Application No. 838,839A2 to Bhardwaj, et al., U.S. Patent No. 6,051,503 to Bhardwaj, et al., PCT application WO 00/26956 to Bhardwaj, et al.

5 When the etch stop layer SiO_2 is reached, etching of the vias 14 terminates. Holes may be formed in the device layer 34 to connect the holes in fluid communication with the ink vias 14 in chip 10 by blasting through the device layer 34 in the location of the ink vias 14 using a high pressure water wash in a wafer washer. The finished chip 10 preferably contains vias 14 which are located in the chip 10 so
10 that vias 14 are a distance ranging from about 40 to about 60 microns from their respective heaters 12 on device layer 34. The ink vias 14 may be individually associated with each heater resistor 12 on the chip 10 or there may be more or fewer ink vias 14 than heater resistors 12. In such case, each ink via 14 will provide ink to a group of heater resistors 12. In a particularly preferred embodiment, ink vias 14 are
15 individual holes or apertures, each hole or aperture being adjacent a corresponding heater resistor 12. Each ink via 14 has a diameter ranging from about 5 to about 200 microns.

In another embodiment, as shown in Fig. 4, a wide trench 60 may be formed in the back side or substrate layer 32 side of the chip 10 by chemically etching
20 the silicon substrate prior to or subsequent to forming vias 14 in the chip 10. Chemical etching of trench 60 may be conducted using KOH, hydrazine, ethylenediamine-pyrocatechol- H_2O (EDP) or tetramethylammonium hydroxide (TMAH) and conventional chemical etching techniques. Prior to or subsequent to forming trench 60, vias 14 are etched in the silicon chip 10 from the device layer 34
25 side or from the protective layer 58 side as described above. Trench 60 may also be formed by DRIE or ICP etching of the chip 10 as described above. When the trench 60 is made by chemical etching techniques, a silicon nitride (SiN) protective layer 58 is preferably used to pattern the trench location in the chip 10. Upon completion of the trench formation, a protective layer 58 of SiO_2 or other protective material for dry
30 etching silicon is applied to the substrate layer 32 to protect the silicon material during the dry etch process.

WO 02/057084

PCT/US01/47666

The trench 60 is preferably provided in chip 10 to a depth of about 50 to about 300 microns or more. The trench 60 should be wide enough to fluidly connect all of the vias 14 in the chip to one another, or separate parallel trenches 60 may be used to connect parallel rows of vias 14 to one another such as a trench for via row 62 and a trench for via row 64. Upon completion of the via 14 formation, it is preferred to remove protective layer 58 from the chip 10.

Additional aspects of the invention are illustrated in Figs. 5-7. In these figures, the vias 66 and 68 are rectangular or oval shaped elongate slots which are adjacent multiple heater resistors 12. The slots 66 and 68 are formed in the semiconductor substrate 10 as described above using DRIE techniques. The ink vias 66 and 68 have substantially vertical walls 70 and 72 and may include a wide trench 74 formed from the back side or substrate layer 32 side of the chip 10 as described above with reference to Fig. 4.

Vias formed by conventional grit blasting techniques typically range from 2.5 mm to 30 mm long and 120 microns to 1 mm wide. The tolerance for grit blast vias is ± 60 microns. By comparison, vias formed according to the invention may be made as small as 10 microns long and 10 microns wide. There is virtually no upper limit to the length via that may be formed by DRIE techniques. The tolerance for DRIE vias is about ± 10 to about ± 15 microns. Any shape via may be made using DRIE techniques according to the invention including round, square, rectangular and oval shaped vias. It is difficult if not impossible to form holes as small as 10 microns in relatively thick silicon chips using grit blasting or wet chemical etching techniques. Furthermore, the vias may be etched from either side of the chip using DRIE techniques according to the invention. A large number of holes or vias 14 may be made at one time rather than sequentially as with grit blasting techniques and at a much faster rate than with wet chemical etching techniques.

Chips 10 having vias 14 formed by the foregoing dry etching techniques are substantially stronger than chips containing vias 14 made by blasting techniques and do not exhibit cracks or fissures which can cause premature failure of printheads containing the chips. The accuracy of via placement is greatly improved by the foregoing process and etch uniformity is greater than about 4%.

WO 02/057084

PCT/US01/47666

As compared to wet chemical etching, the dry etching techniques according to the invention may be conducted independent of the crystal orientation of the silicon chip 10 and thus may be placed more accurately in the chips 10. While wet chemical etching is suitable for chip thickness of less than about 200 microns, the etching accuracy is greatly diminished for chip thicknesses greater than about 200 microns. The gases used for DRIE techniques according to the invention are substantially inert whereas highly caustic chemicals are used for wet chemical etching techniques. The shape of the vias made by DRIE is essentially unlimited whereas the via shape made by wet chemical etching is dependent on crystal lattice orientation. For example in a (100) silicon chip, KOH will typically only etch squares and rectangles without using advance compensation techniques. The crystal lattice does not have to be aligned for DRIE techniques according to the invention.

A comparison of the strength of dry etched silicon chips made according to the invention and grit blasted silicon chips is contained in the following tables. In the following tables, multiple samples were prepared using grit blast and DRIE techniques to provide vias in silicon chips. The vias in each set of samples was intended to be approximately the same width and length on the device side and on the blank side. The "Avg. Edge of Chip to Via" measurements indicated in the tables are taken from the edge of the chip to the edge of the via taken along the length axis of the via. The "Avg. Via Width" measurements are taken at approximately the same point across each via along parallel with the width axis of the via.

For the torsion test, a torsion tester was constructed having one end of the tester constructed with a rotating moment arm supported by a roller bearing. A slotted rod for holding the chip was connected to one end of the moment arm. The chip was held on its opposite end by a stationary slotted rod attached to the fixture. A TEFLON indenter was connected to the load cell in the test frame and used to contact the moment arm. A TEFLON indenter was used to reduce any added friction from the movement of the indenter down the moment arm as the arm rotated. The crosshead speed used was 0.2 inches per minute (5.08 mm/min.) and the center of the moment arm to the indenter was 2 inches (50.8 mm).

For the three-point bend test a modified three-point bend fixture was made. The rails and knife edges were polished smooth with a 3 micron diamond paste

WO 02/057084

PCT/US01/47666

to prevent any surface defects of the fixture from causing a stress point on the chip samples. The rails of the tester had a span of 3.5 mm and the radius of the rails and knife edges used was about 1 mm. The samples were placed on the fixture and aligned visually with the ink via in the center of the lower support containing the rails
5 and directly below the knife edge. The crosshead speed was 0.5 inches per minute (1.27 mm/min.) and all of the samples were loaded to failure.

Table 1

Sample #	Avg. Via Width (mm)	Via Length (mm)	Avg. Edge of Chip to Via (mm)	Via type	Torsion Strength (lbs)
1	0.5115	13.853	1.5455	DRIE	0.234
2	0.5075	13.863	1.5375	DRIE	0.301
3	0.4980	13.866	1.5383	DRIE	0.161
4	0.5162	13.867	1.5435	DRIE	0.249
5	0.5298	13.866	1.5400	DRIE	0.177
6	0.5237	13.906	1.5063	DRIE	0.354
7	0.5130	13.855	1.5455	DRIE	0.201
8	0.4978	13.855	1.5420	DRIE	0.288
9	0.5262	13.857	1.5410	DRIE	0.189
10	0.5240	13.883	1.5320	DRIE	0.211
11	0.5175	13.862	1.5430	DRIE	0.325
12	0.5118	13.886	1.5327	DRIE	0.289
13	0.5115	13.876	1.5360	DRIE	0.178
14	0.5137	13.902	1.5265	DRIE	0.373
15	0.5225	13.915	1.5247	DRIE	0.270
16	0.5165	13.918	1.5775	DRIE	0.301
17	0.5188	13.867	1.5403	DRIE	0.271
18	0.5115	13.893	1.5368	DRIE	0.506
19	0.5153	13.876	1.5315	DRIE	0.276
20	0.5127	13.825	1.5308	DRIE	0.356
Average Torsion Strength (lbs) for DRIE vias					0.2755

WO 02/057084

PCT/US01/47666

Table 1 (Cont.)

Sample #	Avg. Via Width (mm)	Via Length (mm)	Avg. Edge of Chip to Via (mm)	Via type	Torsion Strength (lbs)
21	0.5002	13.787	1.5470	Grit blast	0.139
22	0.4875	13.796	1.5642	Grit blast	0.199
23	0.4793	13.770	1.5843	Grit blast	0.142
24	0.5235	13.783	1.5605	Grit blast	0.233
25	0.4515	13.799	1.5367	Grit blast	0.185
26	0.4950	13.792	1.5740	Grit blast	0.146
27	0.4622	13.809	1.5290	Grit blast	0.210
28	0.4843	13.853	1.5447	Grit blast	0.179
29	0.4700	13.862	1.5388	Grit blast	0.067
30	0.4848	13.863	1.5397	Grit blast	0.177
31	0.4853	13.858	1.5297	Grit blast	0.220
32	0.4890	13.795	1.5720	Grit blast	0.261
33	0.4553	13.762	1.5848	Grit blast	0.172
34	0.4790	13.780	1.5775	Grit blast	0.244
35	0.4720	13.684	1.6140	Grit blast	0.231
36	0.4872	13.834	1.5497	Grit blast	0.292
37	0.4797	13.823	1.5302	Grit blast	0.161
38	0.5105	13.748	1.5957	Grit blast	0.245
39	0.4687	13.745	1.5860	Grit blast	0.292
40	0.4938	13.811	1.5525	Grit blast	0.124
Average Torsion Strength (lbs) for Grit Blast vias					0.1959

WO 02/057084

PCT/US01/47666

Table 2

Sample #	Avg. Via Width (mm)	Via Length (mm)	Avg. Edge of Chip to Via (mm)	Via type	3 Point Bend Strength (lbs)
1	0.4977	13.840	1.5740	DRIE	22.59
2	0.5035	13.819	1.6817	DRIE	10.95
3	0.5022	13.832	1.6240	DRIE	23.55
4	0.5055	13.833	1.6630	DRIE	28.37
5	0.5035	13.833	1.6177	DRIE	25.85
6	0.5135	13.847	1.5498	DRIE	22.99
7	0.5107	13.833	1.5385	DRIE	22.07
8	0.4932	13.855	1.5447	DRIE	39.90
9	0.5030	13.869	1.5387	DRIE	21.11
10	0.5160	13.885	1.5280	DRIE	25.37
11	0.5245	13.855	1.5455	DRIE	22.39
12	0.5202	13.860	1.5463	DRIE	11.18
13	0.4982	13.860	1.5370	DRIE	24.62
14	0.5152	13.869	1.5330	DRIE	30.30
15	0.5250	13.859	1.5427	DRIE	30.78
16	0.5217	13.868	1.5363	DRIE	32.28
17	0.5240	13.851	1.5475	DRIE	22.22
18	0.4925	13.847	1.5505	DRIE	16.28
19	0.5142	13.869	1.5388	DRIE	17.96
20	0.5250	13.895	1.5275	DRIE	12.77
Average 3 point bend strength (lbs) for DRIE vias					23.18

WO 02/057084

PCT/US01/47666

Table 2 (Cont.)

Sample #	Avg. Via Width (mm)	Via Length (mm)	Avg. Edge of Chip to Via (mm)	Via type	3 Point Bend Strength (lbs)
21	0.4967	13.834	1.5425	Grit blast	2.698
22	0.4852	13.808	1.5475	Grit blast	5.808
23	0.4740	13.836	1.5477	Grit blast	4.246
24	0.4907	13.838	1.5472	Grit blast	5.511
25	0.4778	13.837	1.5500	Grit blast	6.556
26	0.4835	13.843	1.5670	Grit blast	4.909
27	0.4695	13.826	1.5535	Grit blast	8.352
28	0.4855	13.827	1.5548	Grit blast	5.288
29	0.4868	13.823	1.5882	Grit blast	4.754
30	0.4570	13.695	1.6208	Grit blast	5.120
31	0.4980	13.812	1.5618	Grit blast	6.358
32	0.4992	13.827	1.5473	Grit blast	4.737
33	0.4840	13.835	1.5477	Grit blast	4.172
34	0.4943	13.842	1.5490	Grit blast	4.139
35	0.4877	13.838	1.5268	Grit blast	5.852
36	0.4890	13.810	1.5222	Grit blast	3.608
37	0.4882	13.825	1.5562	Grit blast	7.111
38	0.4795	13.815	1.5635	Grit blast	5.631
39	0.4855	13.811	1.5485	Grit blast	5.572
40	0.4855	13.827	1.5522	Grit blast	5.671
Average 3 point bend Strength (lbs) for Grit Blast vias					5.304

WO 02/057084

PCT/US01/47666

As seen in Table 1, silicon chips made with ink vias using the DRIE methods according to the invention exhibited higher torsional strength compared to similar sized vias made by grit blasting techniques. A more dramatic comparison of the strength between chips containing grit blast vias and chips containing DRIE vias is seen in Table 2. This table compares the 3 point bending strength of such chips. As seen by comparing the average strength of each type of chip, chips containing vias made by the DRIE technique exhibited more than about 4 times the strength of chips containing grit blast vias. The increased strength of vias made by DRIE techniques is significant and quite unexpected.

Methods for reactive ion etching are described in U.S. Patent No. 6,051,503 to Haynes et al., incorporated herein by reference as if fully set forth. Useful etching procedures and apparatus are also described in EP 838,839 to Bhardwaj et al., WO 00/26956 to Bhardwaj et al. and WO 99/01887 to Guibarra et al. Etching equipment is available from Surface Technology Systems Limited of Gwent, Wales.

Having described various aspects and embodiments of the invention and several advantages thereof, it will be recognized by those of ordinary skills that the invention is susceptible to various modifications, substitutions and revisions within the spirit and scope of the appended claims.

WO 02/057084

PCT/US01/47666

CLAIMS:

What is claimed is:

1. A method for making ink feed vias in semiconductor silicon substrate chips
25 for an ink jet printhead comprising applying an etch stop layer to a first surface of the silicon chip having a thickness ranging from about 300 to about 800 microns, dry etching one or more ink vias through the thickness of the silicon chip up to the etch stop layer from a surface opposite the first surface and forming one or more through holes in the etch stop layer by a mechanical technique, each through hole
30 corresponding to a via of the one or more vias in order to individually fluidly connect the one or more through holes with the corresponding ink vias, whereby substantially vertical wall vias are etched through the thickness of the silicon chip.
2. The method of Claim 1 wherein the ink vias have a diameter width
35 or length ranging from about 5 to about 800 microns.
3. The method of Claim 1 wherein the etch stop layer is applied with a thickness ratio of etch stop layer to silicon chip ranging from about 1 : 10 to about 1 : 800 based on the thickness of the silicon chip.
40
4. The method of Claim 1 wherein the dry etching is conducted while cycling between an etching plasma and a passivation plasma.
5. The method of Claim 4 wherein the etching plasma comprises a
45 plasma derived from a gas selected from the group consisting of sulfur hexafluoride (SF_6), tetrafluoromethane (CF_4) and trifluoroamine (NF_3).
6. The method of Claim 5 wherein the etching plasma comprises a plasma derived from SF_6 .
50

WO 02/057084

PCT/US01/47666

7. The method of Claim 4 wherein the passivation plasma comprises a plasma derived from a gas selected from the group consisting of trifluoromethane (CHF_3), tetrafluoroethane (C_2F_4), hexafluoroethane (C_2F_6), difluoroethane ($\text{C}_2\text{H}_2\text{F}_2$), octofluorobutane (C_4F_8) and mixtures thereof.

55

8. The method of Claim 7 wherein the passivation plasma comprises a plasma derived from C_4F_8 .

9. The method of Claim 1 wherein the dry etching is selected from deep reactive ion etching (DRIE) and inductively coupled plasma (ICP) etching techniques.

10. The method of Claim 1 further comprising chemically etching a trench in the surface opposite the first surface of the silicon chip to a depth ranging from about 50 to about 300 microns to fluidly connect at least a portion of the ink vias to one another prior to dry etching the ink vias in the chip.

11. The method of Claim 1 further comprising chemically etching a trench in the surface opposite the first surface of the silicon chip to a depth ranging from about 50 to about 300 microns to fluidly connect at least a portion of the ink vias to one another subsequent to dry etching ink vias in the chip.

12. The method of Claim 10 wherein the chemical etching comprises anisotropically etching the silicon chip using a wet chemical etchant selected from the group consisting of potassium hydroxide, hydrazine, ethylenediamine-pyrocatechol- H_2O and tetramethylammonium hydroxide.

13. An ink jet printhead comprising a nozzle plate attached to a silicon chip made by the method of Claim 1.

80

14. An ink jet printhead comprising a nozzle plate attached to a silicon chip made by the method of Claim 12.

WO 02/057084

PCT/US01/47666

15. A silicon chip for an ink jet printhead comprising a device layer
and a substrate layer, the device layer having a thickness ranging from about 1 to
85 about 4 microns and the substrate layer having a thickness ranging from about 300 to
about 800 microns, the device layer having an exposed surface containing a plurality
of heater resistors defined by conductive, resistive, insulative and protective layers
deposited on the exposed surface thereof, the silicon chip including at least one ink
feed via corresponding to one or more of the heater resistors, the at least one ink feed
90 via being formed by dry etching through the substrate layer and having at least one
through hole corresponding to each via opened in the device layer by mechanical
means so that the at least one through hole individually fluidly connects with the
corresponding ink feed via.

16. The silicon chip of Claim 15 further comprising a protective layer
attached to the substrate layer opposite the device layer.

17. The silicon chip of Claim 16 wherein the protective layer has a
thickness ranging from about 1 to about 30 microns.

18. The silicon chip of Claim 16 further comprising an ink feed via
trench chemically etched through the thickness of the protective layer and etched part
way through the thickness of the substrate layer providing ink flow communication
between at least a portion of the one or more ink feed vias.

19. The silicon chip of Claim 18 wherein the trench has a depth
ranging from about 50 to about 300 microns.

20. The silicon chip of Claim 15 further comprising an ink feed via
110 trench chemically etched part way through the thickness of the substrate layer
providing ink flow communication between at least a portion of the ink feed vias.

21. The silicon chip of Claim 20 wherein the trench has a depth
ranging from about 50 to about 300 microns.

WO 02/057084

PCT/US01/47666

115

22. The silicon chip of Claim 15 wherein the chip contains at least one via for 2, 3 or 4 heater resistors.

120

23. The silicon chip of Claim 15 wherein the chip contains an elongate ink via for feeding ink to all of the heater resistors on the chip.

24. An inkjet printhead comprising a nozzle plate attached to the silicon chip of Claim 21.

125

25. A method for making ink feed vias in semiconductor silicon substrate chips for an ink jet printhead comprising applying a photoresist layer to a first surface of the silicon chip having a thickness ranging from about 300 to about 800 microns, patterning the photoresist layer with a photomask to define one or more ink feed via locations through the silicon chip, and dry etching one or more ink vias through the thickness of the silicon chip in the one or more ink via locations, whereby substantially vertical wall vias are etched through the thickness of the silicon chip.

130

26. The method of Claim 25 wherein multiple ink vias are etched through the silicon chip and the ink vias have a diameter ranging from about 10 to about 200 microns.

135

27. The method of Claim 25 wherein the dry etching is conducted while cycling between an etching plasma and a passivation plasma.

140

28. The method of Claim 27 wherein the etching plasma comprises a plasma derived from SF_6 .

29. The method of Claim 27 wherein the passivation plasma comprises a plasma derived from C_4F_8 .

145

WO 02/057084

PCT/US01/47666

30. The method of Claim 25 wherein the dry etching is selected from deep reactive ion etching (DRIE) and inductively coupled plasma (ICP) etching techniques.

150 31. The method of Claim 25 further comprising chemically etching a trench in the surface opposite the first surface of the silicon chip to a depth ranging from about 50 to about 300 microns to fluidly connect at least a portion of the one or more ink vias to one another prior to dry etching the one or more ink vias in the chip.

155 32. The method of Claim 31 wherein the chemical etching comprises anisotropically etching the silicon chip using a chemical etchant selected from the group consisting of potassium hydroxide, hydrazine, ethylenediamine-pyrocatechol-H₂O and tetramethylammonium hydroxide.

160 33. The method of Claim 25 wherein the chip contains an elongate ink via.

34. An ink jet printhead comprising a nozzle plate attached to a silicon chip made by the method of Claim 25.

WO 02/057084

PCT/US01/47666

1/2

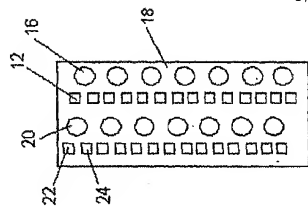


Fig. 1A

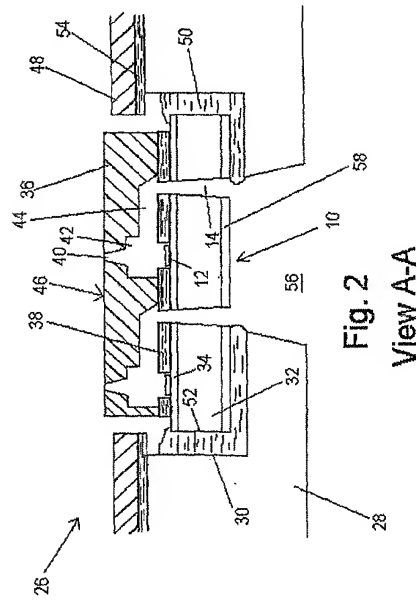
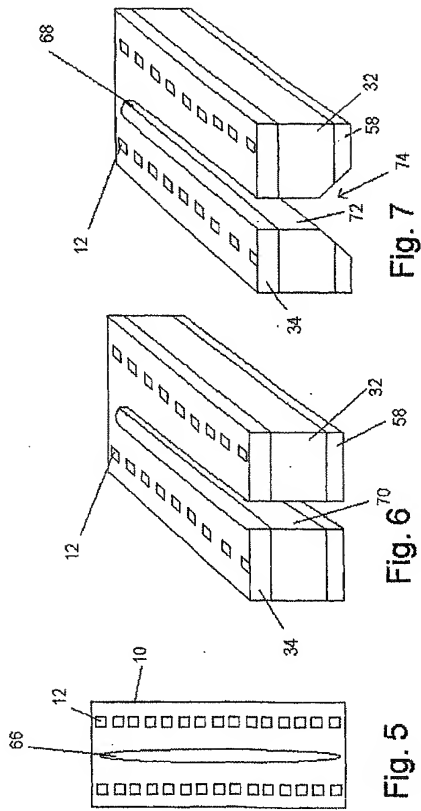


Fig. 2
View A-A

WO 02/057084

PCT/US01/47666

2/2



【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
25 July 2002 (25.07.2002)

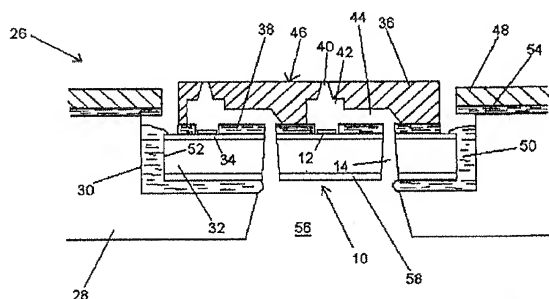
PCT

(10) International Publication Number
WO 02/057084 A3

- (51) International Patent Classification: B41J 2/04
(21) International Application Number: PCT/US01/47666
(22) International Filing Date: 22 October 2001 (22.10.2001)
(25) Filing Language: English
(26) Publication Language: English
(30) Priority Data: 09/098,765 27 October 2000 (27.10.2000) US
(71) Applicant: LEXMARK INTERNATIONAL, INC.
[US/US]; 740 West New Circle Road, Lexington, KY
40550 (US).
(72) Inventors: POWERS, James, Harold; 4772 Rhema Way,
Lexington, KY 40514 (US); SULLIVAN, Carl, Edmund;
331 Chestnut Lane, Versailles, KY 40383 (US).
(74) Agent: MCARDLE, John, J., Jr.; Lexmark International,
Inc., 740 West New Circle Road, Lexington, KY 40550
(US).
(81) Designated States (national): AF, AG, AI, AM, AT, AU,
AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ,
DE, DK, DM, DZ, EE, ES, FI, GB, GD, GH, GM, GR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY,
NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM,
TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
(84) Designated States (regional): ARIPO patent (GH, GM,
KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian
patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European
patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE,
IT, LI, LU, MC, NL, PT, SE, SI, TR), OAPI patent (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NR, SN, TD,
TG).
Published:
with international search report
(88) Date of publication of the international search report:
19 September 2002

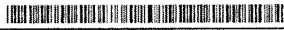
[Continued on next page]

(54) Title: IMPROVED INK JET PRINTHEADS AND METHODS THEREFOR



(57) Abstract: The invention provides a method for making ink feed vias (14) in semiconductor silicon substrate chips (10) for an ink jet printhead (26) and ink jet printheads containing silicon chips made by the method. The method includes applying an etch stop layer to a first surface of the silicon chip having a thickness ranging from about 300 to 800 microns, dry etching individual ink vias through the thickness of the silicon chip up to the etch stop layer from a surface opposite the first surface and forming holes in the etch stop layer to individually fluidly connect with the ink vias using a mechanical technique. Substantially vertical wall vias are etched through the thickness of the silicon chip using the method. As opposed to conventional ink via formation techniques, the method significantly improves the throughput of silicon chip and reduces losses due to chip breakage and cracking. The resulting chips are more reliable for long term printhead use.

WO 02/057084 A3

WO 02/057084 A3

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US01/47686
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) :B41J 2/04 US CL :347/54 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 347/54, 68, 69, 70, 71, 72, 80, 80, 85; 399/201; 301/700; 810/348, 329, 330; 29/800.1 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Extra Sheet.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A,E	US 6,322,198 B1 (HIGASHINO et al) 27 November 2001 (27.11.2001), col. 6, lines 13-40.	1-34
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* "A" "E" "L" "O" "P"	Special categories of cited documents "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reasons (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" "X" "Y" "Z" "G" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
Date of the actual completion of the international search 17 MAY 2002		Date of mailing of the international search report 25 JUN 2002
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-9250		Authorized officer RAQUEL Y. GORDON Telephone No. (703) 308-0022 Renee Puchner

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US01/47000

B. FIELDS SEARCHED

Electronic data bases consulted (Name of data base and where practicable terms used):

USPTO AFS EAST

search term: US, JPO, EPO, PCPub; with search terms: stop, layer\$5, etch\$4, DRIE, protect\$5, layer\$3,
trifluoromethane, tetrafluoroethane, hexafluoroethane, difluoroethane, octofluorobutane, plasma\$5

フロントページの続き

(81)指定国 AP (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW

(72)発明者 サリヴァン、カール、エドモンド

アメリカ合衆国 40383 ケンタッキー、ヴェルサイユ、チェストナット・レーン 331
Fターム(参考) 2C057 AF93 AG31 AP02 AP22 AP32 BA04 BA13

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第2部門第4区分

【発行日】平成17年7月7日(2005.7.7)

【公表番号】特表2004-517755(P2004-517755A)

【公表日】平成16年6月17日(2004.6.17)

【年通号数】公開・登録公報2004-023

【出願番号】特願2002-557783(P2002-557783)

【国際特許分類第7版】

B 4 1 J 2/16

B 4 1 J 2/05

【F I】

B 4 1 J 3/04 1 0 3 H

B 4 1 J 3/04 1 0 3 B

【手続補正書】

【提出日】平成15年7月1日(2003.7.1)

【手続補正1】

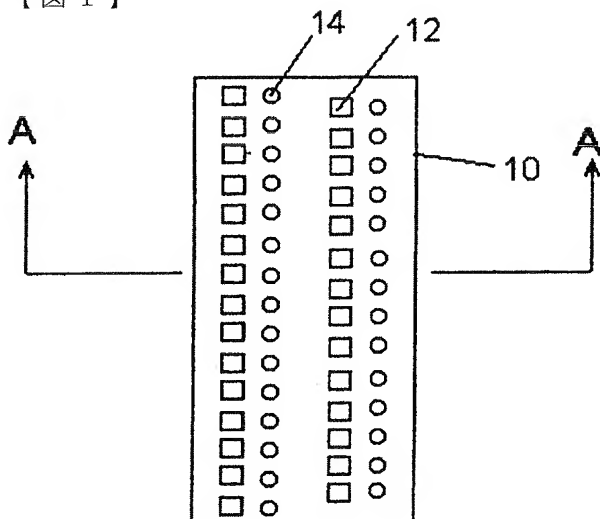
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】追加

【補正の内容】

【図1】



【手続補正2】

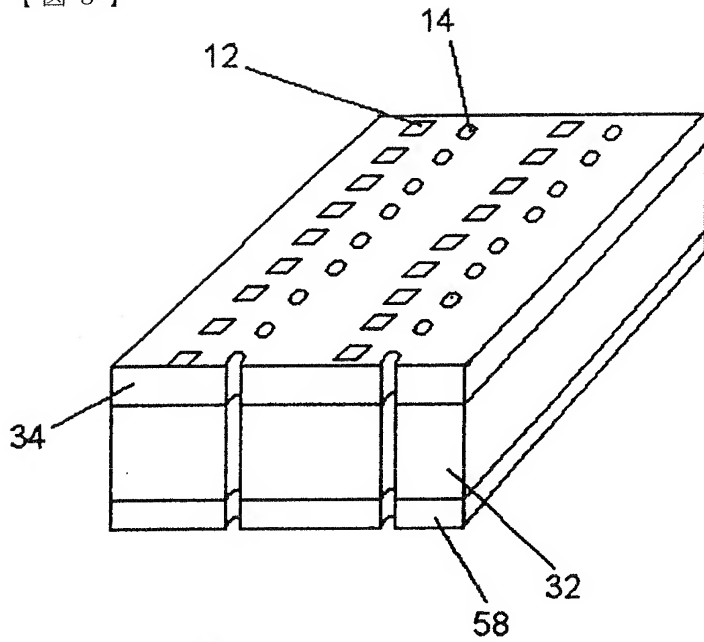
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】追加

【補正の内容】

【図 3】



【手続補正 3】

【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】追加

【補正の内容】

【図 4】

